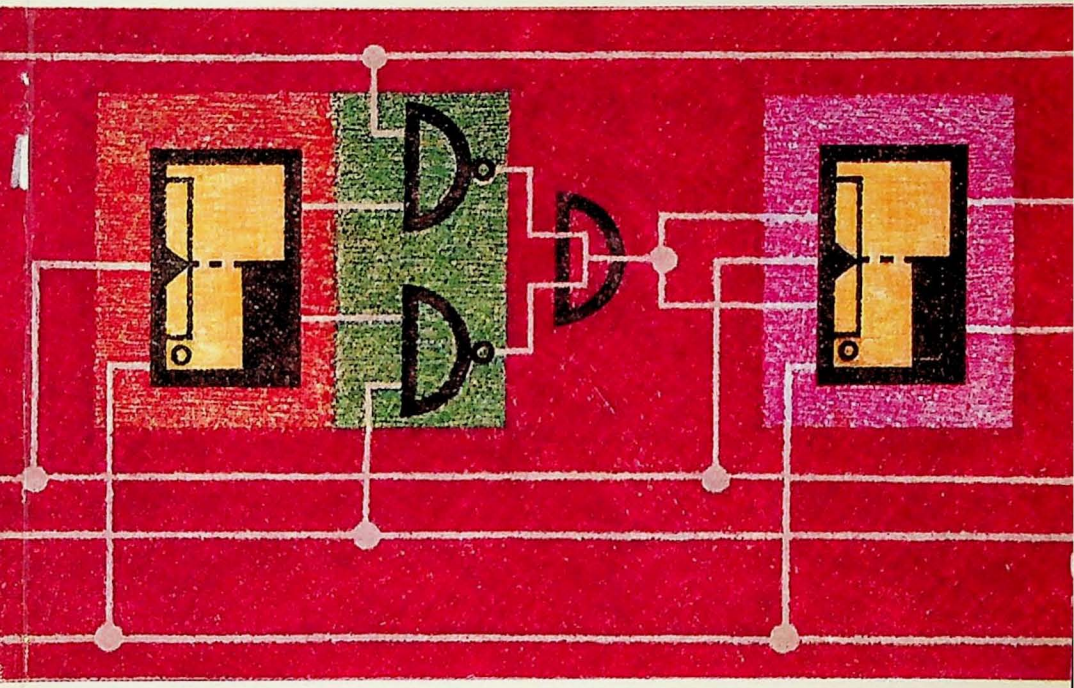
VALVO



ECHNIK

Digitaltechnik mit integrierten Schaltungen

DIGITALTECHNIK MIT
INTEGRIERTEN SCHALTUNGEN

VALVO

Digitaltechnik mit integrierten Schaltungen

HERAUSGEGEBEN VON DER VALVO GMBH HAMBURG 1

Ausgabe Januar 1971

Herausgeber: VALVO GmbH, 2 Hamburg 1, Burchardstraße 19
Nachdruck, auch auszugsweise, ist nur gestattet, wenn im Einzelfall die Genehmigung des Herausgebers dazu vorliegt.

Die VALVO GmbH übernimmt keine Gewähr, daß die in dieser Schrift angegebenen Schaltungen, Geräte, Maschinen, Anlagen, Bauelemente, Baugruppen oder Verfahren frei von Schutzrechten sind. Die hier gegebenen Ratschläge sind unverbindliche und keine Haftung begründende Empfehlungen.

Verlag: Boysen & Maasch, 2 Hamburg 36, Gerhofstraße 25
ISBN 3/87095/207/5
Druck: Damaschke + Co · Großdruckerei und Faltschachtelwerk
2059 Büchen (Lauenb.) · Postfach 11 20
Einbandentwurf: Bruno Büsche

INHALT

Begriffe und Symbole 7

J. Wüstehube
Grundschaltungen der DTL- und TTL-Technik 21

J. Wüstehube
Entwurf von Schaltnetzen 49

K. Lagemann
Die verschiedenen Flipfloparten und der logische Entwurf synchroner Schaltwerke 75

K. Sickert
Entwurf und Anwendung von Zählern 109

A. Gebhardt
Störungen in Anlagen mit integrierten Digitalschaltungen 135

Schaltungssammlung 179

Begriffe und Symbole

Inhalt

0.1. Logische und elektrische Zustände 9
0.2. Gatter 10
0.3. Flipflops 11
0.3.1. Symbole und Anschlüsse 11
0.3.2. Flipflop-Klassen 12
0.3.3. Takteingang 14
0.3.4. Bedingungseingänge 16
0.3.5. Setzeingänge 18
0.4. Schaltzeiten 20

0.1. Logische und elektrische Zustände

Die beiden logischen Zustände (Binärwerte) werden bezeichnet mit

0 Zustand Null
1 Zustand Eins [1])

Die beiden Potential-Zustände bei zweiwertiger Logik heißen

LOW (L) Zustand mit negativerem Potential
HIGH (H) Zustand mit positiverem Potential

(Hierbei ist z. B. −5 V positiver als −10 V.)

Die beiden möglichen Zuordnungen zwischen logischen Zuständen und Potential-Zuständen werden positive bzw. negative Logik genannt.

Positive Logik	Negative Logik
0 ≙ LOW	0 ≙ HIGH
1 ≙ HIGH	1 ≙ LOW

In der vorliegenden Broschüre wird vorwiegend positive Logik angewandt.

Zur Kennzeichnung des LOW- oder HIGH-Zustandes einer Spannung wird der Index L bzw. H verwendet. Zum Beispiel gilt für einen Anschluß Q

im Zustand LOW: $U_Q = U_{QL}$
im Zustand HIGH: $U_Q = U_{QH}$

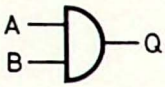
Binäre Signale (binäre Variable) werden mit denselben Buchstaben benannt wie die zugehörigen Anschlüsse.

---

1) Das noch häufig verwendete Symbol L kann zu Verwechslungen mit dem Symbol L (LOW) für den Potentialzustand führen.

0.2. Gatter

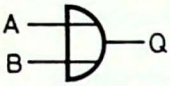
UND



$Q = A \cdot B$

A	B	Q
0	0	0
1	0	0
0	1	0
1	1	1

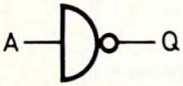
ODER

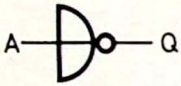


$Q = A + B$

A	B	Q
0	0	0
1	0	1
0	1	1
1	1	1

NICHT

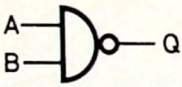




$Q = \overline{A}$

A	Q
0	1
1	0

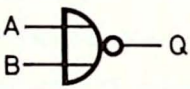
NAND



$Q = \overline{A \cdot B} = \overline{A} + \overline{B}$

A	B	Q
0	0	1
1	0	1
0	1	1
1	1	0

NOR

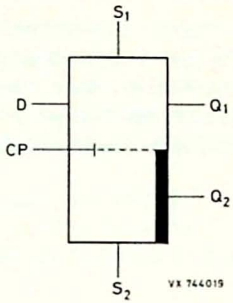


$Q = \overline{A + B} = \overline{A} \cdot \overline{B}$

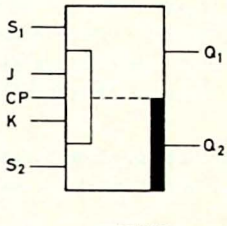
A	B	Q
0	0	1
1	0	0
0	1	0
1	1	0

0.3. Flipflops (vgl. Abschn. 3)

0.3.1. Symbole und Anschlüsse (Übersicht)



Flipflop ohne Zwischenspeicher
(Auffang-Flipflop)



Flipflop mit Zwischenspeicher

Q_1, Q_2 — Ausgänge
Die Signale Q_1 und Q_2 zeigen den Flipflopzustand an. Zur Kennzeichnung der beiden **regulären Flipflopzustände**

1) $Q_1 = 0, \quad Q_2 = 1$
2) $Q_1 = 1, \quad Q_2 = 0$

wird in der Regel nur das Signal Q_1 angegeben. Durch einen schwarzen Balken kann bei Bedarf die Ruhestellung (im vorliegenden Beispiel $Q_1 = 0$) markiert werden.

S_1, S_2 — Setzeingänge
wirken unmittelbar auf den Flipflopzustand.

D, J, K, ... — Bedingungseingänge
wirken nicht direkt, sondern nur im Zusammenspiel mit dem Takteingang auf den Flipflopzustand. Jede Kombination von Logik-Zuständen an den Bedingungseingängen stellt einen Eingangszustand dar,
zum Beispiel $J = 0, \; K = 1$.

CP — Takteingang
Durch den Taktimpuls (clock pulse) wird der Flipflopzustand so beeinflußt, wie es durch den Eingangszustand vorgegeben ist.

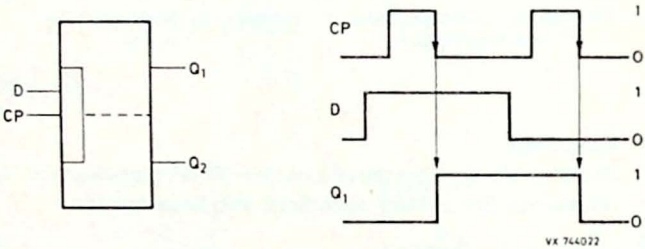
0.3.2. Flipflop-Klassen

0.3.2.1. Zwischenspeicher-Flipflops

Zum Beispiel für Zähler und Schieberegister
(andere Bezeichnungen: Zählflipflops, Zweispeicher-Flipflops)

Der im Anschluß an die auslösende (aktive) Flanke des Taktimpulses herrschende Taktzustand gestattet stets einen Wechsel des Eingangszustandes, ohne daß der Flipflopzustand unmittelbar beeinflußt wird. Der neue Eingangszustand wirkt sich erst bei der nächsten aktiven Taktimpulsflanke, d. h. stets verzögert (Zwischenspeicher-Wirkung) auf den Flipflopzustand aus.

Beispiel: D-Zwischenspeicher-Flipflop
aktive Flanke ist die 1 → 0-Flanke



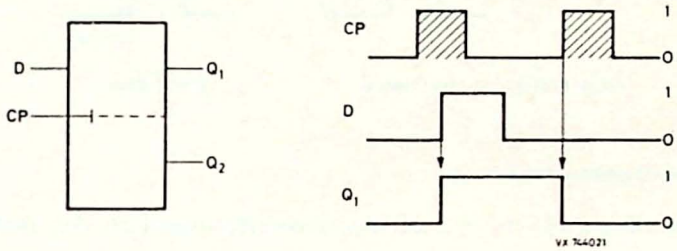
Der Zusatz „Zwischenspeicher" in der Flipflopbezeichnung kann weggelassen werden, wenn der Hinweis auf Einflanken- oder Zweiflankensteuerung vorliegt, die ausschließlich bei Zwischenspeicher-Flipflops vorkommt, oder wenn es sich um einen Flipflop-Typ handelt, der nur in dieser Klasse existiert, wie zum Beispiel das JK-Flipflop.

0.3.2.2. Auffang-Flipflops

Zum Speichern von Informationen mit synchronisierenden Taktimpulsen (andere Bezeichnungen: Flipflops ohne Zwischenspeicher, latch flipflops)

Der im Anschluß an die auslösende Taktimpulsflanke herrschende aktive Taktzustand (schraffiert) bewirkt eine unmittelbare, d. h. ohne Verzögerung eintretende Beeinflussung des Flipflopzustandes durch den Eingangszustand. Jedoch wirkt sich eine während des passiven Taktzustandes vorgenommene Änderung des Eingangszustandes erst beim nächsten Wechsel des Taktzustandes auf den Flipflopzustand aus (Speicherung mit Taktimpulsen).

Beispiel: D-Auffang-Flipflop
aktiver Taktzustand 1
(passiver Taktzustand 0)

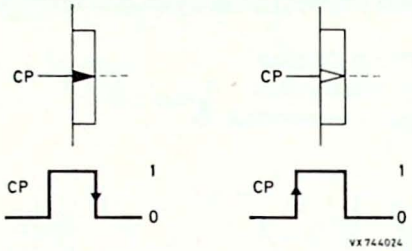


0.3.3. Takteingang

0.3.3.1. Takteingang bei Zwischenspeicher-Flipflops

Einflankensteuerung

Bei Einflanken-Flipflops brauchen Zustandsänderungen an den Bedingungseingängen erst kurz vor der aktiven Flanke des Taktimpulses abgeschlossen zu sein. Der zuletzt vorhandene Zustand an den Bedingungseingängen ist für den nächsten Flipflopzustand maßgebend. [1])

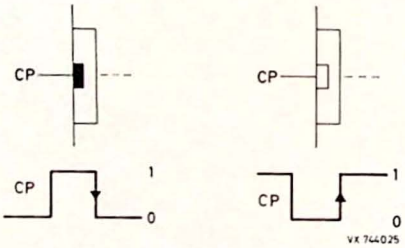


Aktive Flanke: 1→0-Flanke 0→1-Flanke

Zweiflankensteuerung

Bei Zweiflanken-Flipflops müssen Zustandsänderungen an den Bedingungseingängen vor Beginn des Taktimpulses abgeschlossen sein. Zustandsänderungen während des Taktimpulses können zu Fehlreaktionen des Flipflops führen.

Die meisten Zweiflanken-Flipflops sind nach dem Master-Slave-Prinzip aufgebaut.



Taktimpuls: 1-Impuls 0-Impuls
Aktive Flanke: 1→0-Flanke 0→1-Flanke

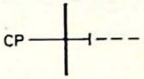
---

1) Hierfür muß in der Praxis der Zustand an den Bedingungseingängen eine bestimmte Mindestzeit vor der aktiven Flanke angelegen haben (sog. Vorbereitungszeit).

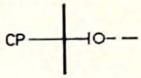
0.3.3.2. Takteingang bei Auffang-Flipflops

Der aktive Zustand, bei dem die Beeinflussung des Flipflopzustandes (Übernahme der Information) erfolgt, ist

Zustand 1
am Takteingang



Zustand 0
am Takteingang



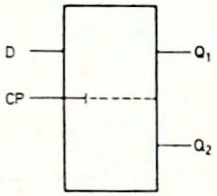
VX 744023

0.3.4. Bedingungseingänge

Die Wirkung der Eingangszustände an den Bedingungseingängen auf den nächsten Flipflopzustand wird durch Wahrheitstabellen beschrieben:
Der zur Bitzeit t_n (vor oder während des Taktimpulses) herrschende Eingangszustand ist maßgebend für den zur Bitzeit t_{n+1} (nach dem Taktimpuls) eintretenden Flipflopzustand.

Beispiele:

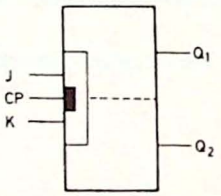
D-Auffang-Flipflop



t_n	t_{n+1}
D	Q_1
0	0
1	1

VX 744026

JK-(Zwischenspeicher-) Flipflop,
zweiflankengesteuert



t_n		t_{n+1}
J	K	Q_1
0	0	Q_1^n
0	1	0
1	0	1
1	1	$\overline{Q_1^n}$

VX 744027

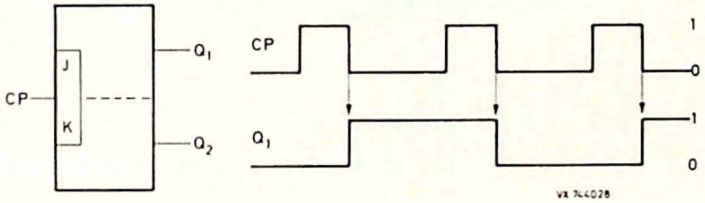
Es bedeuten in der Spalte Q_1 (zur Bitzeit t_{n+1}):

Q_1^n	Der Flipflopzustand hat sich gegenüber dem Zustand Q_1^n zur Bitzeit t_n nicht geändert.
0	Der Flipflopzustand ist $Q_1 = 0$, unabhängig davon, welcher Zustand zur Bitzeit t_n vorgelegen hat.
1	Der Flipflopzustand ist $Q_1 = 1$, unabhängig davon, welcher Zustand zur Bitzeit t_n vorgelegen hat.
$\overline{Q_1^n}$	Der Flipflopzustand hat sich gegenüber dem Zustand Q_1^n zur Bitzeit t_n geändert.

Binäruntersetzer

Der Binäruntersetzer kann als JK-Flipflop aufgefaßt werden, bei dem ständig J = K = 1 ist.

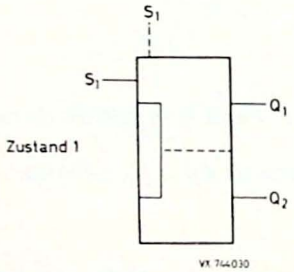
Beispiel: Aktive Flanke ist die 1 → 0-Flanke



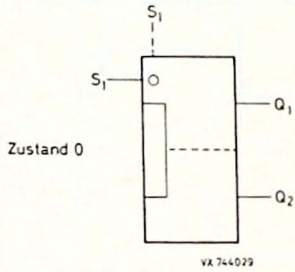
0.3.5. Setzeingänge

An den Setzeingängen kann der Flipflopzustand direkt beeinflußt werden, unabhängig davon, welche Zustände an den übrigen Flipflop-Eingängen bestehen.

0.3.5.1. Die Beeinflussung des Flipflopzustandes erfolgt mit



S_1	Q_1
0	kein Einfluß
1	1

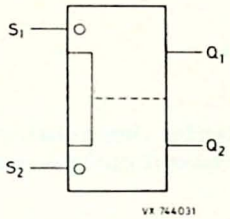


S_1	Q_1
0	1
1	kein Einfluß

Die Setzeingänge werden manchmal auch an die Schmalseite des Flipflopsymbols gezeichnet.

0.3.5.2. Zwei Setzeingänge (Setz- und Rückstelleingang)

Beispiel:



S_1	S_2	Q_1	Q_2
0	0	nicht definiert	
0	1	1	0
1	0	0	1
1	1	kein Einfluß	

Legt man das Setzsignal an beide Setzeingänge an (hier $S_1 = S_2 = 0$), dann können während dieser Zeit folgende Flipflopzustände eintreten:

a) irreguläre Flipflopzustände

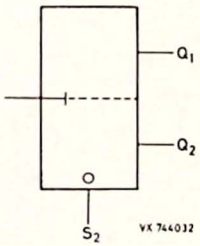
$$Q_1 = Q_2 = 0 \text{ oder } Q_1 = Q_2 = 1$$

b) nicht sinnvoller Flipflopzustand, d. h. die Potentiale an den Ausgängen Q_1 und Q_2 liegen außerhalb der für die Zustände 0 und 1 bzw. LOW und HIGH festgelegten Bereiche (in der Regel dazwischen).

0.3.5.3. Setzeingänge bei Auffang-Flipflops

Um Verwechslungen mit Bedingungseingängen zu vermeiden, werden Setzeingänge bei Auffang-Flipflops stets an die Schmalseite des Symbols gezeichnet.

Beispiel:

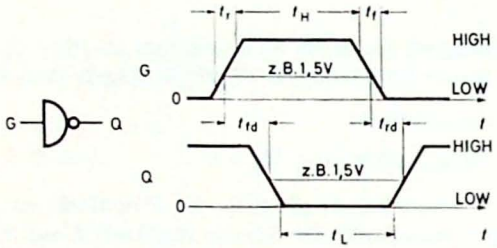


S_2	Q_2
0	1
1	kein Einfluß

0.4. Schaltzeiten

Die wichtigsten Schaltzeiten sind

t_{rd}	Anstiegsverzögerungszeit
t_{fd}	Abfallverzögerungszeit
$t_{pd} = 0{,}5\ (t_{rd} + t_{fd})$	Signalverzögerungszeit
t_r	Anstiegszeit
t_f	Abfallzeit
t_H	Dauer des HIGH-Zustandes (Impulsdauer)
t_L	Dauer des LOW-Zustandes (Impulspausendauer)



Bei den Reihen DTL-FC und TTL-FJ betragen die Bezugsspannungen für die Zeiten t_{rd} und t_{fd} meistens 1,5 V. Für die übrigen Zeiten werden die Bezugsspannungswerte jeweils angegeben.

Grundschaltungen der DTL- und TTL-Technik

Von J. Wüstehube

Inhalt

1.1. Allgemeines 23
1.1.1. Typenbezeichnungen 24
1.1.2. Innerer Aufbau integrierter Bipolar-Schaltungen 24
1.2. DTL-Technik 29
1.2.1. Aufbau und Wirkungsweise des DTL-Gatters 30
1.2.2. Ausgangsverzweigung und Störspannungsabstand 31
1.2.3. Unbenutzte Eingänge 33
1.2.4. Expander-Eingang 34
1.2.5. Leistungsgatter 35
1.2.6. „Wired AND“ 35
1.3. TTL-Technik 38
1.3.1. Aufbau und Wirkungsweise des TTL-Gatters 39
1.3.2. Ausgangsverzweigung und Störspannungsabstand 41
1.3.3. Schaltverhalten 42
1.3.4. Unbenutzte Eingänge 43
1.3.5. UND-ODER-NICHT-Gatter 43
1.3.6. „Wired AND“ bei TTL-Gattern mit offenem Kollektor 45

1.1. Allgemeines

Bei integrierten Halbleiterschaltungen für die Digitaltechnik haben sich bestimmte Schaltungsprinzipien herausgebildet, die bekanntesten sind

DTL	Dioden-Transistor-Logik
TTL	Transistor-Transistor-Logik
DTLZ	Dioden-Transistor-Logik mit Z-Dioden
ECL	Emittergekoppelte Logik

Fast alle digitalen Schaltungsfamilien, die heute von den Herstellern angeboten werden, sind in einer dieser Techniken ausgeführt, wobei zahlreiche Varianten vorkommen. TTL- und DTL-Schaltungen haben sich weitaus am stärksten eingeführt.

In allen Schaltungen einer Familie oder Reihe wird dieselbe Grundschaltung bei gleichbleibender Dimensionierung immer wieder verwendet. Diese Grundschaltung ist daher maßgebend für die Eigenschaften der betreffenden Schaltungsfamilie. Im folgenden sollen nur die Grundschaltungen der DTL- und TTL-Technik behandelt werden.

Alle Schaltungen innerhalb einer Reihe haben dieselbe Speisespannung und aufeinander abgestimmte Daten. Sie können unter Beachtung relativ einfacher Regeln zusammengeschaltet werden, weil sie — zumindest an den Ein- und Ausgängen — unter Verwendung von Grundgatter-Elementen mit einheitlicher Bemessung aufgebaut sind. Eine weitgehende Normierung der Gehäuse und der Anschlußbelegungen erleichtert den Zusammenbau von Schaltungen einer Familie zu größeren Gruppen.

1.1.1. Typenbezeichnungen

Die Typenbezeichnung für integrierte Digital-Schaltungen nach PRO ELECTRON besteht aus drei Buchstaben und drei Ziffern, zum Beispiel

FCH 191

Die **ersten beiden Buchstaben** dienen zur Kennzeichnung der Familie bzw. Reihe:

FA, FB usw., zum Beispiel FC-Reihe, FJ-Reihe, FZ-Reihe

Der **dritte Buchstabe** kennzeichnet die Funktion der Schaltung:

H Logische Verknüpfungsschaltungen (Gatter)
J Speicherschaltungen
(Flipflops, d. h. für dauernde Speicherung)
K Zeitschaltungen (auch für dynamische, d. h. vorübergehende Speicherung oder Verzögerung)
L Digital-Pegelumsetzer (Schwellenwertschaltungen)
M Logische Verknüpfungsschaltungen, mittlere oder hohe Integration
N Speicherschaltungen, mittlere oder hohe Integration
Y Sonstige Schaltungen

Die **beiden ersten Ziffern** dienen der laufenden Kennzeichnung.

Die **dritte Ziffer** kennzeichnet den Mindest-Bereich der (im Betrieb zulässigen) Umgebungstemperatur, es bedeuten zum Beispiel

1 0 bis +75 °C,
2 −55 bis +125 °C.

1.1.2. Innerer Aufbau integrierter Bipolar-Schaltungen

Die in dieser Broschüre behandelten integrierten Schaltungen gehören ausschließlich der sogenannten Bipolar-Technik an. Dieser Begriff wurde zur Abgrenzung gegenüber der in den letzten Jahren aufkommenden MOS-Technik eingeführt. Die aktiven Elemente in Bipolar-Schaltungen sind Flächentransistoren, deren Wirkungsweise bekanntlich von Majoritäts- und Minoritäts-Ladungsträgern bestimmt wird. Auf diese Beteiligung von sowohl positiven als auch negativen Ladungsträgern am Stromtransport soll die Bezeichnung Bipolar-Transistor hinweisen. In diesem Sinn hatte man bei den

ersten Beschreibungen des Feldeffekt-Transistors, der heute in der Form des MOS-FET den integrierten MOS-Schaltungen ihren Namen gegeben hat, von einem Unipolar-Transistor gesprochen, weil der Strom hier nur von Majoritätsladungen getragen wird.

1.1.2.1. Isolation

Zur Erläuterung der wichtigsten Begriffe der Bipolar-Integrationstechnik sind in den Bildern 1.1 und 1.2 schematisch Silizium-Kristalle mit häufig vorkommenden Elementen integrierter Schaltungen vereinfacht dargestellt. Auf die P-leitende, etwa 200 µm dicke Kristallscheibe — das Substrat — wird eine rund 10 µm dicke, N-leitende Epitaxieschicht aufgebracht. Sie wird durch P-leitende, bis zum Substrat durchgreifende Rahmen in einzelne N-Inseln aufgetrennt. Wenn das Substrat, wie vorgeschrieben, stets auf dem niedrigsten Potential der Schaltung gehalten wird, dann sind alle Substratdioden D_S gesperrt, d. h. die in verschiedenen N-Inseln eingebetteten Schaltungselemente sind durch die gesperrten Substrat-Insel-PN-Übergänge voneinander isoliert. In Sonderfällen ist auch ein Durchlaßbetrieb der Substratdioden zugelassen.

1.1.2.2. Transistoren

Bei integrierten Transistoren (Bild 1.1) stellt die N-Insel die Kollektorzone dar. Daher können Transistoren, deren Kollektoren miteinander verbunden sind, eine gemeinsame N-Insel haben (Bild 1.1 b); das spart Kristallfläche. Durch eine gut N-leitende vergrabene Schicht unterhalb der Transistor-

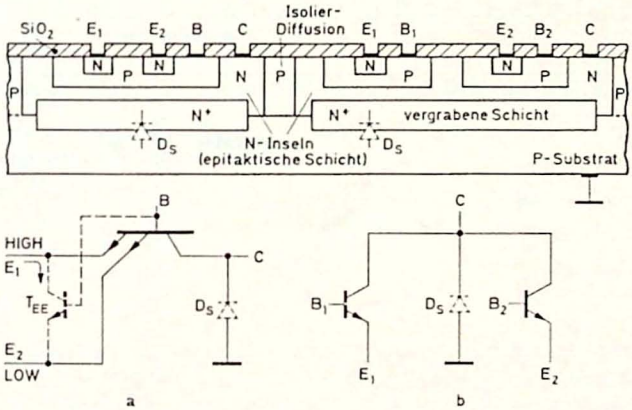


Bild 1.1. Beispiele für Transistoren in integrierten Schaltungen (schematischer Kristallquerschnitt)
a) Mehrfach-Emitter-Transistor
b) Transistoren mit gemeinsamer Kollektorzone
D_S parasitäre Substratdiode

Strukturen erzielt man einen kleinen Kollektor-Bahnwiderstand und damit die für den Schalterbetrieb erforderliche niedrige Sättigungsspannung. Die vergrabene Schicht wird vor dem Aufbringen der epitaktischen Schicht eindiffundiert.

Bei Transistoren mit mehreren Emittern in einer gemeinsamen Basiszone (Bild 1.1 a) gibt es lateral wirkende, parasitäre NPN-Transistoren T_{EE}. Sie verursachen eine Erhöhung des Emitterstromes bei HIGH-Potential (Sperrzustand), wenn alle übrigen Emitter des Transistors auf LOW-Potential (Durchlaßzustand) liegen. Die parasitäre Substratdiode D_S am Kollektor der Transistoren ist bei einer gegenüber dem Substrat positiven Kollektorspannung stets gesperrt. Die Sperrschichtkapazität der Diode D_S nimmt mit steigender Kollektor-Substrat-Spannung ab und ist der Sperrschichtfläche zwischen Insel und Substrat proportional. Sie vergrößert die Schaltzeiten.

1.1.2.3. Dioden

In den Bildern 1.2 a und 1.2 b sind Beispiele für Dioden in integrierten Schaltungen angegeben. Basis-Kollektor-Dioden (Bild 1.2 a) haben unter anderem eine hohe Spannungsfestigkeit (z. B. 40 V) und brauchen relativ viel Kristallfläche. Die Substratdiode liegt an der Katode. Basis-Emitter-Dioden — meistens bei kurzgeschlossener Basis-Kollektor-Strecke betrieben (Bild

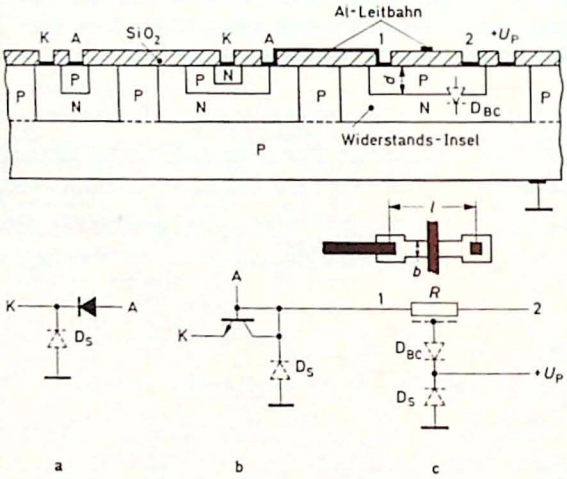


Bild 1.2. Beispiele für Dioden und Widerstände in integrierten Schaltungen (schematischer Kristallquerschnitt)
a) Basis-Kollektor-Diode
b) Basis-Emitter-Diode bei kurzgeschlossener Basis-Kollektor-Strecke
c) Widerstand mit Leitbahnkreuzung

1.2 b) — haben die für die Planartechnik typische niedrige Durchbruchsspannung (z. B. 7 V), die manchmal auch zur Realisierung von Z-Dioden ausgenutzt wird. Die Durchlaßspannung dieser Dioden-Konfiguration ist niedrig, die Speicherzeit klein. Da die Substratdiode an der Anode liegt, kann diese Diode im Gegensatz zum Basis-Kollektor-Typ nicht als Entkopplungsdiode für ein gegenüber dem Substrat negatives Signal benutzt werden. Hierfür müßten Kollektor und Basis getrennt werden. Die dann vorliegende Basis-Emitter-Diode mit offenem Kollektor hat jedoch eine höhere Durchlaßspannung, eine größere Speicherzeit und einen höheren Sperrstrom.

1.1.2.4. Widerstände

Widerstände werden durch Diffundieren P-leitender Streifen gleichzeitig mit den Basiszonen der Transistoren hergestellt. Da mittlerer spezifischer Widerstand ϱ und Eindringtiefe d der Basiszone, gemessen als Schichtwiderstand

$$R_S = \frac{\bar{\varrho}}{d}\,, \tag{1.1}$$

durch die Prozeßdaten festliegen, kann der Widerstandswert R nur noch durch Länge l und Breite b der Widerstandsbahn variiert werden

$$R = R_S \frac{l}{b}\,. \tag{1.2}$$

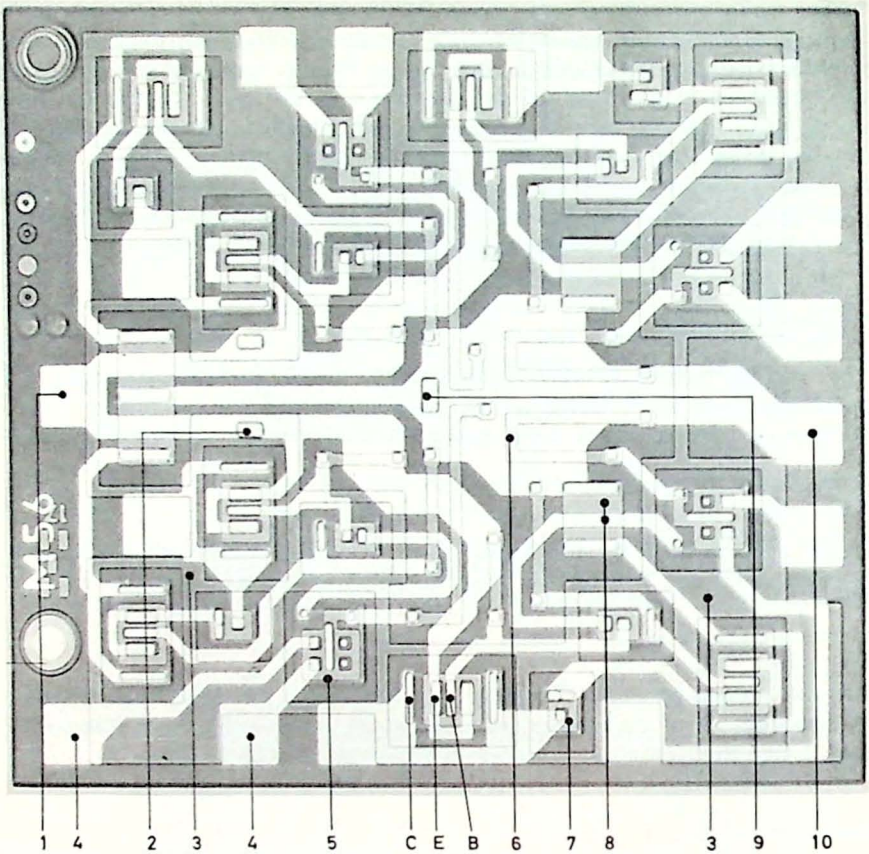
Die mit Rücksicht auf Toleranzen und Kristallflächenbedarf realisierbaren Widerstandswerte sind daher nach oben und unten begrenzt. In Tabelle 1.1 sind einige Eigenschaften integrierter Widerstände aufgeführt.

Tabelle 1.1:

Typische Eigenschaften von Widerständen in integrierten Schaltungen

Schichtwiderstand (Basis)	200	Ω/Quadrat
Nutzbarer Widerstandswert	100 Ω . . . 20	kΩ
Kapazität zur N-Insel	0,2	pF/kΩ
Temperatur-Koeffizient	+ 0,15	%/grd
Fertigungstoleranz, absolut	± 20	%
relativ	± 5	%

Die Widerstands-Insel wird mit dem höchsten Potential der Schaltung (Speisespannung $+U_P$) verbunden. Dadurch sind die Widerstandsbahnen innerhalb der Insel stets durch gesperrte PN-Übergänge (Dioden D_{BC}) voneinander isoliert. Die Sperrschicht zwischen Widerstand und Insel stellt eine längs der Widerstandsbahn verteilte parasitäre Kapazität C_{BC} dar. Die Substratdiode D_S ist ebenfalls gesperrt, ihre Kapazität ist jedoch für Wechselstrom kurzgeschlossen und damit unwirksam gemacht.



1 Masseanschluß
2 Substrat-Kontaktierung (über die Isolierdiffusion) mit Masse
3 Isolierdiffusion
4 Anschlußflecke (Bondflecke)
5 Basiszone eines 4-Emitter-Transistors; nur zwei der Emitter sind an den Anschlüssen (4) kontaktiert
C, E, B Kollektor-, Emitter- und Basis-Kontaktierung eines Transistors
6 4 kΩ - Widerstand, an $+U_P$ und die Basis eines 4-Emitter-Transistors angeschlossen
7 Basis-Emitter-Diode mit Kollektor-Basis-Kurzschluß
8 130 Ω - Widerstand mit Leitbahnkreuzung
9 Kontaktierung der Widerstands-Insel mit dem Anschluß für $+U_P$
10 Speisespannungsanschluß für $+U_P$

Kristallfläche: etwa 1,2 mm x 1,3 mm
weiß: Aluminium-Leitbahnen
rahmenförmig: P-leitende Isoliergräben
im Mittelfeld: Widerstands-Insel

Bild 1.3. Kristall einer integrierten Bipolar-Schaltung; TTL-Schaltung FJH 131: 4 Gatter mit je 2 Eingängen (vgl. Bild 1.14)

1.1.2.5. Leitbahnen und Anschlüsse

Die Elemente der integrierten Schaltung werden durch Kontaktierungsfenster im Siliziumoxyd über Aluminium-Leitbahnen miteinander verbunden, die man auf die Siliziumoxydschicht aufdampft (Bild 1.2). Leitungskreuzungen werden meistens dadurch realisiert, daß man eine Widerstandsbahn des einen Strompfades mit einer Leitbahn des anderen Strompfades überquert (Bild 1.2c). Mit Hilfe der in Bild 1.3 erkennbaren Anschlußflecke (etwa 0,1 mm x 0,1 mm) am Rande des Kristallplättchens wird die Schaltung über dünne Drähtchen (etwa 25 μm) durch Thermokompressions- oder Ultraschall-Kontaktierungsverfahren mit den Anschlußstiften des Gehäuses verbunden.

1.2. DTL-Technik

Das DTL-Grundgatter wirkt für positive Logik als NAND-Gatter. Je nach Anzahl der Eingänge sind mehrere DTL-Gatter auf einem Kristall integriert und nach Bild 1.4 in einem Gehäuse untergebracht. Bei nur einem Eingang erhält man einen DTL-Inverter; hiervon gibt es bei der DTL-FC-Reihe sechs in einem Gehäuse (FCH 211).

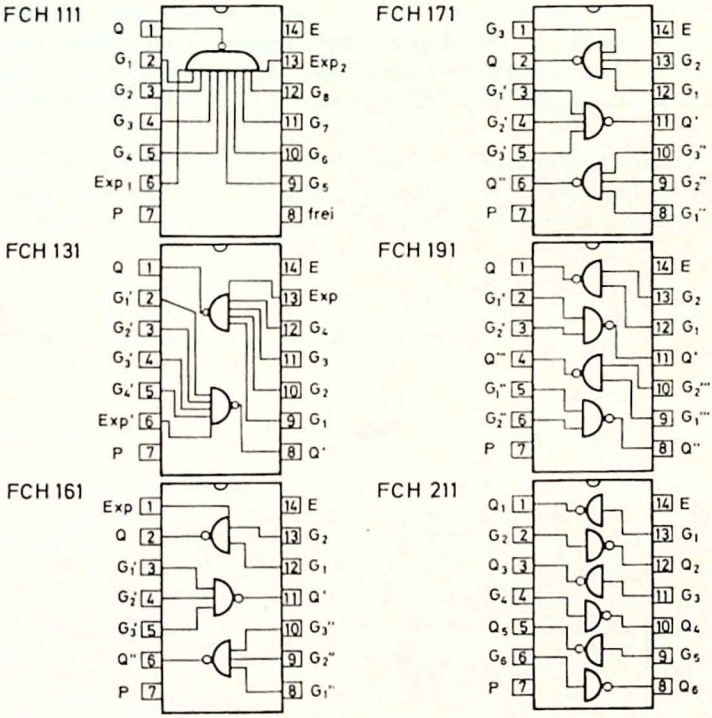


Bild 1.4. NAND-Gatter und Inverter der DTL-FC-Reihe

1.2.1. Aufbau und Wirkungsweise des DTL-Gatters

Das DTL-NAND-Gatter der FC-Reihe besteht aus einem Dioden-UND-Gatter mit zwei, drei, vier oder acht Eingängen, den sogenannten Potentialverschiebedioden und einem Inverter. Die Eingangsdioden sind Basis-Kollektor-Dioden nach Bild 1.2 a, d. h. zwischen jedem Gattereingang und Masse befindet sich eine parasitäre Substratdiode D_S, die bei normalem Betrieb ($U_G > 0$) gesperrt ist. Solange mindestens ein Eingang auf LOW-Potential gehalten wird, liegt auch der Punkt U auf so niedrigem Potential (nur um die Dioden-Durchlaßspannung höher als das Eingangspotential), daß der Transistor gesperrt bleibt und der Ausgang HIGH-Potential führt. Erst wenn der letzte noch auf LOW befindliche Eingang auf HIGH-Potential geht, erhält der Transistor über den Widerstand R_G und die Potentialverschiebedioden einen Basisstrom und wird bis zur Sättigung durchgesteuert. Am Ausgang herrscht LOW-Potential.

Beim Umschalten wird der Strom, der zunächst vom Punkt $+U_P$ über den Gatterwiderstand R_G zu dem Eingang mit LOW-Potential floß, mit steigendem Potential dieses Eingangs nach rechts in die Verschiebedioden umgelenkt (vgl. auch Bild 1.6). Dabei wird der Strom durch R_G kleiner. Er fließt dann hauptsächlich in die Basis des Transistors und muß schließlich bei etwa 2,2 V am Punkt U, der Summe der Durchlaßspannungen von Basis-Emitter-Strecke und Verschiebedioden, noch ausreichen, um den Transistor bei der am Ausgang für Q = LOW vorgesehenen Maximal-Belastung zu sättigen.

Besteht an allen Eingängen bis auf einen HIGH-Zustand, so wirkt das NAND-Gatter für diesen verbleibenden Eingang als Inverter. Ein HIGH-Impuls am Eingang erscheint als LOW-Impuls am Ausgang (Bild 1.5) und umgekehrt.

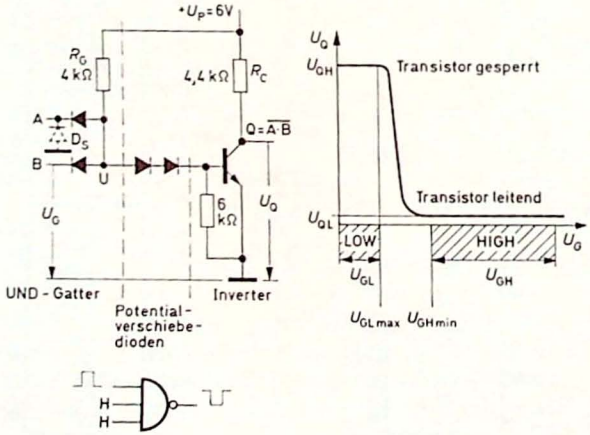


Bild 1.5. Grundschaltung eines DTL-NAND-Gatters der FC-Reihe mit zwei Eingängen und Übertragungskennlinie

Die ebenfalls in Bild 1.5 dargestellte Übertragungskennlinie eines DTL-Gatters läßt erkennen, daß am Ausgang klar unterscheidbare Binärsignale U_{QL} und U_{QH} nur dann erscheinen, wenn keine Eingangsspannungen U_G vorkommen, die zwischen den schraffierten Bereichen LOW und HIGH liegen. Diese Bereiche sind gegen den verbotenen Bereich abgegrenzt durch die Werte

$U_{GL\,max}$ Höchstwert der Eingangsspannung im LOW-Zustand,

$U_{GH\,min}$ Mindestwert der Eingangsspannung in HIGH-Zustand.

Bei Einhaltung dieser Grenzen werden für die DTL-FC-Reihe die in Bild 1.6 eingetragenen Werte der Ausgangsspannung bis zu den angegebenen Belastungsströmen garantiert. Die Festlegung dieser Zahlenwerte stellt — innerhalb von bestimmten, durch Schaltungsaufwand und Herstellprozeß gegebenen Grenzen — einen Kompromiß zwischen dem statischen Störspannungsabstand und der Ausgangsverzweigung dar.

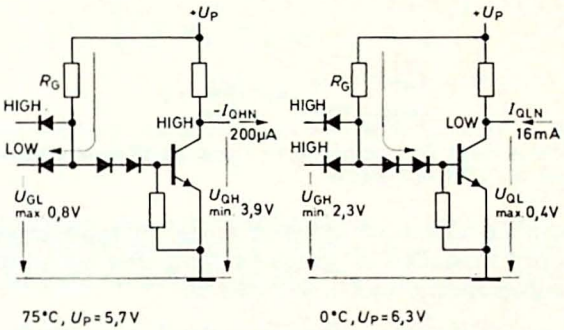


Bild 1.6. Eingangsbedingungen zur Einhaltung des Zustandes Q = HIGH und Q = LOW eines DTL-FC-Gatters bei Belastung mit dem verfügbaren Ausgangsstrom $-I_{QHN}$ bzw. I_{QLN}

1.2.2. Ausgangsverzweigung und Störspannungsabstand

Die verfügbare Ausgangsverzweigung, auch Ausgangsfächer (fan out) genannt, gibt an, wieviele Eingänge der Gatter-Grundschaltung oder äquivalente Eingänge am Ausgang eines Gatters angeschlossen werden dürfen, ohne daß die für den HIGH- und LOW-Bereich festgelegten Grenzen $U_{QH\,min}$ und $U_{QL\,max}$ (Bild 1.6) der Ausgangsspannung unter- bzw. überschritten werden. Beim Anschließen von maximal N Gattern nach Bild 1.7 bestehen für den verfügbaren Ausgangsstrom die Mindestforderungen

$$\text{LOW-Zustand:} \quad I_{QLN} = N \cdot (-I_{GL\,max}), \tag{1.3}$$

$$\text{HIGH-Zustand:} \quad -I_{QHN} = N\, I_{GH\,max}. \tag{1.4}$$

Da der Strom $I_{GH\,max}$ bei DTL-Gattern, als Sperrstrom einer Eingangsdiode, relativ klein ist, tritt der ungünstigere Belastungsfall im LOW-Zustand ein. Zum Beispiel gilt für die FC-Reihe bei 0 °C und U_P = 6,3 V

$-I_{GL\,max}$ = 2 mA maximaler Eingangsstrom bei LOW am Eingang, $U_G = U_{QL\,max}$ = 0,4 V, übrige Eingänge auf HIGH (Bild 1.7)

I_{QLN} ≧ 16 mA verfügbarer Ausgangsstrom bei LOW am Ausgang, $U_Q = U_{QL\,max}$ = 0,4 V (Bild 1.6)

N ≧ 8 verfügbare Ausgangsverzweigung (im LOW-Zustand)

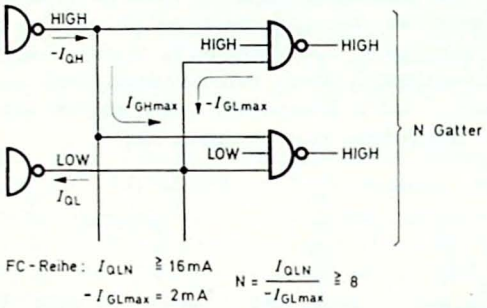


Bild 1.7. Zur Erläuterung der verfügbaren Ausgangsverzweigung (fan out) am Beispiel der DTL-FC-Reihe

Bei diesen Daten für den LOW-Zustand bleibt im ungünstigsten Fall zwischen der maximal erlaubten Eingangsspannung und der maximal vorkommenden Ausgangsspannung noch eine Differenz

$$M_{L\,min} = U_{GL\,max} - U_{QL\,max} = 0{,}4\ \text{V} \qquad \text{bei } 75\ °\text{C}. \tag{1.5}$$

Das ist der minimale statische Störspannungsabstand im LOW-Zustand (Bild 1.8). Positive Störsignale bis zu 0,4 V auf einer Leitung zwischen zwei

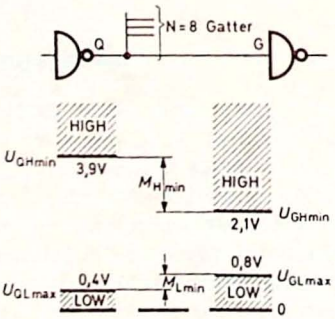


Bild 1.8. Statische Störspannungsabstände der DTL-FC-Reihe für den ungünstigsten Fall (75 °C, N = 8)

Gattern bewirken also noch kein Verschieben der Eingangsspannung in den verbotenen Bereich $U_G > U_{GL\,max}$.

Entsprechend erhält man für den HIGH-Zustand im ungünstigsten Fall den Störspannungsabstand

$$M_{H\,min} = U_{QH\,min} - U_{GHmin} = 1{,}8\ \text{V} \qquad \text{bei } 75\ °\text{C}. \tag{1.6}$$

Wegen der relativ geringen Belastung des Gatters mit N = 8 Dioden-Sperrströmen (8 · 25 µA = 200 µA) wird M_H entsprechend groß und beträgt bei 25 °C sogar mindestens 3 V. Im HIGH-Zustand sind also auf einer Leitung zwischen zwei Gattern negative Störsignale bis zu 1,8 V zulässig.

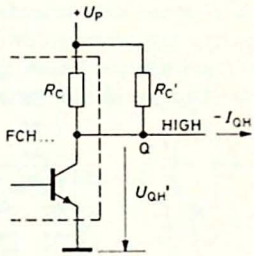


Bild 1.9. Erhöhen des verfügbaren Laststromes im Zustand Q = HIGH durch einen Widerstand R_C'

Durch Hinzufügen eines äußeren Widerstandes R_C' gemäß Bild 1.9 kann man die Belastbarkeit im HIGH-Zustand erhöhen (vgl. Abschnitt 6.12). Es gilt dann für die Ausgangsspannung im ungünstigsten Fall (75 °C, U_P = 5,7 V)

$$U_{QH\,min}' = 5{,}3\ \text{V} - (-I_{QH})\ \frac{7\ \text{k}\Omega \cdot R_C'}{7\ \text{k}\Omega + R_C'}. \tag{1.7}$$

Die Belastbarkeit im LOW-Zustand beträgt dann jedoch nur noch etwa

$$-I_{QL} \leqq I_{QLN} - \frac{U_P}{R_C'}. \tag{1.8}$$

Auch aus dynamischen Gründen kann ein Zusatzwiderstand R_C' erforderlich werden (vgl. Schaltungssammlung Nr. 19 bis 22).

1.2.3. Unbenutzte Eingänge

Ein nicht angeschlossener DTL-Gatter-Eingang kann als ein auf HIGH-Potential befindlicher Eingang angesehen werden. D. h. ein DTL-Gatter, dessen Eingänge alle offen sind, hat am Ausgang LOW-Potential. Nicht benötigte Eingänge können daher, soweit es das Logik-Verhalten betrifft, einfach offen gelassen werden. Im Hinblick auf die Störsicherheit kann es jedoch manchmal auch zweckmäßig sein, sie auf HIGH-Potential festzulegen,

so zum Beispiel auf die Speisespannung $+U_P$, sofern diese gut entstört ist. Man kann unbenutzte Eingänge auch mit einem benutzten Eingang verbinden, muß dann aber mit einer etwas größeren Schaltzeit aufgrund der zusätzlichen Diodenkapazitäten rechnen.

1.2.4. Expander-Eingang

Bei manchen DTL-Gattern ist ein sogenannter Expander- oder Erweiterungseingang nach Bild 1.10 herausgeführt. Hier können zusätzliche NAND-Gatter-Eingänge C, D usw. geschaffen werden, indem man einzelne Dioden (z. B. BAX 13) anschließt oder die hierfür vorgesehene Mehrfachdiodenschaltung FCY 101 verwendet. Die Anzahl der anschließbaren Zusatzdioden wird in erster Linie von dynamischen Gegebenheiten — nicht so sehr von statischen — begrenzt; denn die Diodenkapazitäten und die zusätzlichen Schaltkapazitäten bewirken eine Verlängerung der Schaltzeiten.

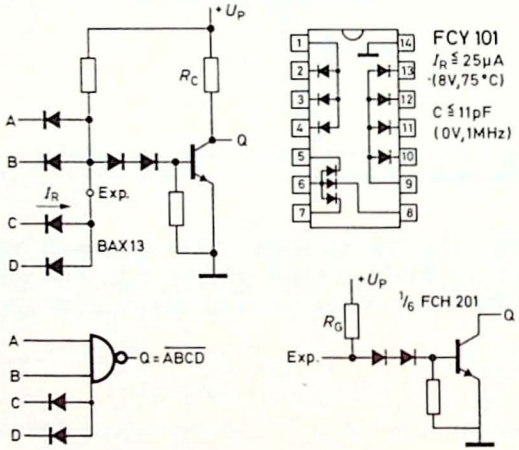


Bild 1.10. DTL-Gatter mit Expander-Eingang, Mehrfachdiodenschaltung sowie Inverter mit Expander-Eingang und ohne Kollektor-Widerstand

Der Expander-Eingang läßt sich ferner für Sonderschaltungen ausnutzen (Schaltungssammlung Nr. 19 bis 23). DTL-Gatter mit Expander-Eingang und ohne Kollektorwiderstand R_C bieten die Möglichkeit, den Gatterwiderstand R_G durch einen externen Widerstand mit gewünschten Eigenschaften zu ersetzen (Widerstandswert, Temperatur-Koeffizient, Einstell- und Abgleichmöglichkeit). Die einfachste DTL-Schaltung dieser Art ist in Bild 1.10 angegeben. Sechs solcher Inverter, die lediglich einen Expander-Eingang und keinen Kollektor-Widerstand haben, sind in einem Gehäuse FCH 201 untergebracht.

1.2.5. Leistungsgatter

Für die Standardgatter (0 ... 75 °C) der DTL-FC-Reihe wird eine verfügbare Ausgangsverzweigung N = 8 garantiert. In der Praxis sind die meisten Gatter jedoch höher belastbar. Für eine garantierte Ausgangsverzweigung N = 14 bzw. N = 20 stehen die DTL-Leistungsgatter FCH 221 und FCH 231 zur Verfügung. Ihre Treiber- und Ausgangsstufen sind, wie Bild 1.11 zeigt, nach demselben Prinzip wie bei TTL-Gattern (Abschnitt 1.3) aufgebaut. Der Transistor T_V trägt zu einer höheren Gesamt-Stromverstärkung bei und dient als „Phasenumkehrstufe" für die Gegentakt-Ausgangsstufe T_1, T_2.

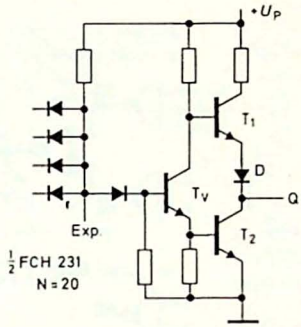


Bild 1.11. DTL-Leistungsgatter
FCH 231, N = 20, zwei Gatter je Gehäuse
FCH 221, N = 14, zwei Gatter (je drei Eingänge, ohne Expander) je Gehäuse

Im Zustand Q = HIGH liefert Transistor T_1 (Emitterfolger) einen wesentlich größeren Strom $-I_{QHN}$ als die Standard-Ausgangsstufe (Bild 1.6). Größere Lastkapazitäten lassen sich damit schneller aufladen. Die Leistungsgatter eignen sich daher gut als Leitungstreiber. Die Diode D ist für ein sicheres Sperren des Transistors T_1 im Zustand Q = LOW erforderlich.

1.2.6. "Wired AND"

Verbindet man die Ausgänge Q_1 und Q_2 zweier DTL-Gatter gemäß Bild 1.12, so entsteht an dem Verbindungspunkt Q dann und nur dann HIGH-Potential, wenn jedes Gatter auch von sich aus HIGH-Potential liefern würde, wenn also beide Transistoren gesperrt sind. Durch das Verbinden von Q_1 und Q_2 wird somit die UND-Funktion

$$Q = Q_1 \cdot Q_2 \tag{1.9}$$

realisiert („wired AND"). Hat jedes Gatter mehrere Eingänge, so erhält man eine UND-ODER-NICHT-Funktion, bei je zwei Eingängen zum Beispiel

$$Q = \overline{AB + CD}\,. \tag{1.10}$$

Die gegenüber der NAND-Funktion zusätzlich eingeschobene ODER-Verknüpfung hat anscheinend dazu geführt, daß anstatt „wired AND" vielfach „OR-ability" oder „wired OR" gesagt wird. Dieser Begriff erscheint jedoch nur dort angebracht, wo durch das „Verdrahten" tatsächlich eine ODER-Verknüpfung entsteht, wie zum Beispiel beim Verbinden mehrerer Emitter in der ECL-Technik.

Die durch das „wired AND" gebildete UND-Funktion wird im Logikplan (Bild 1.12) dadurch symbolisiert, daß man den Verdrahtungspunkt mit einem UND-Gatter-Zeichen umrahmt. Die Funktionen Q_1 und Q_2 stehen jetzt jedoch nicht mehr einzeln zur Verfügung.

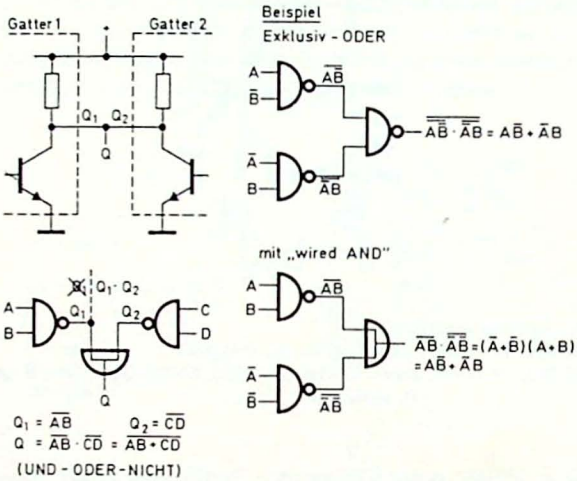


Bild 1.12. „wired AND" - Verknüpfung zweier DTL-Gatter-Ausgänge

Ein Flipflop-Ausgang darf im allgemeinen nicht für eine „wired AND" - Verknüpfung verwendet werden, weil er dann nicht mehr den Zustand des Flipflops kennzeichnet und ein auf internen Rückführungen der Ausgangssignale beruhendes Flipflopverhalten wie zum Beispiel beim JK-Flipflop gestört wird.

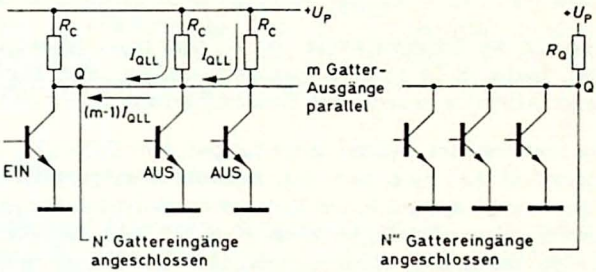
Durch die Anwendung des „wired AND" läßt sich der Gatteraufwand vermindern und häufig auch die Signallaufzeit verkürzen. Das ist in Bild 1.12 am Beispiel der Exklusiv-ODER-Funktion dargestellt. Weitere Anwendungsbeispiele für die „wired AND" - Funktion sind in den Abschnitten 1.3.6 und 2.1.3 angegeben.

An einem „wired AND" - Punkt soll LOW-Potential bestehen, sobald nur einer der parallel geschalteten Transistoren leitend ist. Der betreffende Gatterausgang wird dann zusätzlich mit einem Strom $(m-1)\, I_{QLL}$ belastet (Bild 1.13 a).

Hierin ist

I_{QLL} Kurzschlußstrom zwischen Gatterausgang und Masse bei LOW-Potential an mindestens einem Gattereingang (Transistor gesperrt).

Die Anzahl m der Ausgänge, die parallel geschaltet werden dürfen, ist daher begrenzt. Bei Gattern mit Gegentakt-Ausgangsstufen wie DTL-Leistungsgattern (Bild 1.11) und TTL-Gattern (Bild 1.14) führt bereits das Parallelschalten von nur zwei Ausgängen zum Überschreiten der Grenze $U_{QL\,max}$ des LOW-Bereiches; denn es gilt zum Beispiel beim TTL-Gatter I_{QLL} = max. 55 mA, während das Verbleiben im LOW-Bereich $U_{QL} \leqq U_{QL\,max} = 0{,}4$ V nur bis zum



Für Standard-FC-Serie (0-75°C):

N'	1	2	3	4	5	6
m_{max}	7	6	5	4	3	2

m_{max} \ N''	1	2	3	4	5	6	7	8
3	0,47	0,56	0,62	0,75	1,0	1,2	2,0	3,9
9	·	·	·	·	·	·	2,0	
17	·	·	·	·	·	1,2		
21	·	·	·	·	1,0			
29	·	·	·	0,75				
36	·	·	0,62					
41	·	0,56						
49	0,47							

R_Q in kΩ (Toleranz ± 10 %)

Bild 1.13. Ausgangsverzweigung bei „wired AND"
a) DTL-Gatter mit internem Kollektorwiderstand R_C
b) Gatter mit offenem Kollektor (ohne R_C)

Strom I_{QLN} = 16 mA garantiert wird. Die „wired AND"-Verknüpfung darf daher nicht bei Gegentakt-Ausgangsstufen angewandt werden.

Beim Standard-DTL-Gatter reduziert sich durch die Belastung mit dem Strom (m−1) I_{QLL} die am Punkt Q verfügbare Ausgangsverzweigung auf den Wert

$$N' = \frac{I_{QLN} - (m-1)\, I_{QLL\,max}}{I_{GL\,max}}. \tag{1.11}$$

Für den Fall, daß dieser Wert nicht ausreicht, gibt es Gatter mit offenem Kollektor (ohne Kollektorwiderstand). Hiermit läßt sich nach Bild 1.13 b die „wired AND"-Verknüpfung für sehr viele parallel geschaltete Gatterausgänge realisieren. Den extern anzuschließenden Widerstand R_Q wählt man

im Interesse kurzer Schaltzeiten möglichst klein. Der Mindestwert ist durch die gewünschte Ausgangsverzweigung N″ gegeben

$$R_{Q\,min} \geq \frac{U_{P\,max} - U_{QL\,max}}{I_{QLN} - N''\, I_{GL\,max}} \,. \tag{1.12}$$

Nach Wahl eines Normwertes ergibt sich die maximale Anzahl der Gatterausgänge, die parallel liegen dürfen, aus der Forderung, daß die Grenze des HIGH-Bereiches $U_{QH\,min}$ infolge des Spannungsabfalls, den die Summe der Reströme I_{QH} am Widerstand R_Q erzeugt, nicht unterschritten werden darf.

$$m_{max} \leq \frac{U_{P\,min} - U_{QH\,min} - N''\, I_{GH\,max}\, R_{Q\,max}}{I_{QH\,max}\, R_{Q\,max}} \,. \tag{1.13}$$

Bei der Berechnung der Tabellenwerte von R_Q und m_{max} (Bild 1.13 b) wurden Normwerte der Reihe E 24 (± 5 %) zugrunde gelegt. Für Einflüsse durch Temperatur und Alterung wurde die Gesamttoleranz auf ± 10 % erweitert.

Bei einer Kombination der beiden Schaltungen von Bild 1.13, jedoch ohne externen Widerstand R_Q, muß von den insgesamt m parallel geschalteten Gattern eine bestimmte Anzahl einen Kollektorwiderstand R_C enthalten. Die Ausgangsverzweigung wird dadurch kleiner als N″. Zum Beispiel müssen bei insgesamt m = 10 parallelen Gatterausgängen vier Gatter mit Kollektorwiderstand versehen sein. Die verfügbare Ausgangsverzweigung beträgt dann 4.

1.3. TTL-Technik

Das TTL-Grundgatter wirkt für positive Logik als NAND-Gatter. Die Signalverzögerungszeit beim TTL-Gatter der FJ-Reihe ist zwei- bis dreimal so klein wie beim DTL-Gatter der FC-Reihe. Ebenso wie bei der DTL-Technik

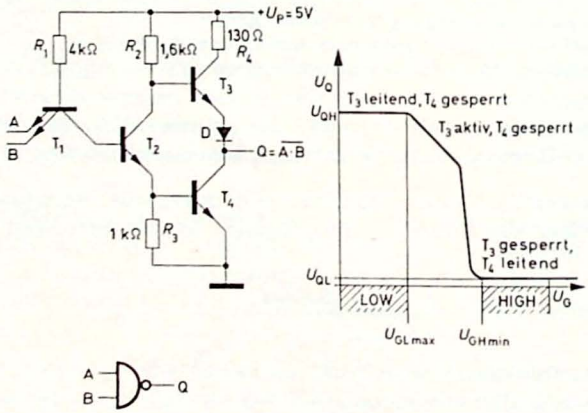


Bild 1.14. Grundschaltung eines TTL-NAND-Gatters der FJ-Reihe mit zwei Eingängen und Übertragungskennlinie

sind mehrere Gatter auf einem Kristall integriert (Bild 1.3) und in ein Gehäuse eingebaut. Auch hier gibt es sechs Inverter in einem Gehäuse. Jedoch besteht keine Möglichkeit, die Anzahl der Eingänge ähnlich einfach wie bei DTL-Gattern mit Hilfe von Expander-Anschlüssen zu erhöhen.

1.3.1. Aufbau und Wirkungsweise des TTL-Gatters

In Bild 1.14 ist die Grundschaltung eines TTL-Gatters der FJ-Reihe angegeben. Die Mehrfach-Emitter-Strecken des Transistors T_1 wirken zusammen mit dem Basiswiderstand R_1 als UND-Gatter. Der Transistor T_2 liefert an seinem Emitter und Kollektor zwei „gegenphasige" Signale für die Ansteuerung der Gegentakt-Ausgangsstufe (buffer stage) mit den Transistoren T_3 und T_4. Der als Emitterfolger betriebene Transistor T_3 ersetzt den Kollektorwiderstand der DTL-Ausgangsstufe. In Bild 1.15 sind die wichtigsten Spannungen und Ströme für die beiden Zustände eines TTL-FJ-Gatters eingetragen.

1.3.1.1. HIGH-Zustand am Ausgang

Liegt an mindestens einem der Eingänge LOW-Potential (Bild 1.15 a), dann wird diese Basis-Emitter-Strecke leitend. Transistor T_1 gelangt in die Sättigung (bei sehr kleinem Kollektorstrom), d. h. sein Kollektorpotential ist nur um die kleine Kollektor-Emitter-Sättigungsspannung (etwa 0,1 V) höher als

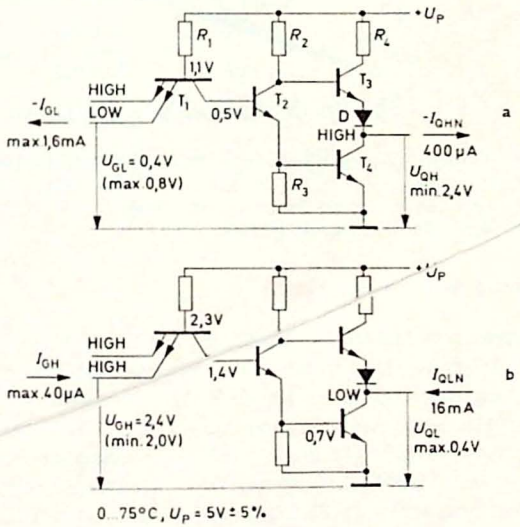


Bild 1.15. Eingangsbedingungen zur Einhaltung des Zustandes Q = HIGH und Q = LOW eines TTL-FJ-Gatters bei Belastung mit dem verfügbaren Ausgangsstrom $-I_{QHN}$ bzw. I_{QLN}

das Eingangspotential. Daher sind die Transistoren T_2 und T_4 gesperrt. Der Ausgang befindet sich im HIGH-Zustand. An der Grenze des Eingangs-LOW-Bereiches $U_{GL\,max} = 0{,}8$ V (Bild 1.14) führt T_2 zwar bereits einen kleinen Strom, jedoch bleibt T_4 noch gesperrt.

Der Strom im Transistor T_3 hängt von der Belastung am Ausgang ab. Da T_3 als Emitterfolger betrieben wird, erzielt man im Gegensatz zum DTL-Gatter einen niedrigen Ausgangswiderstand, der für die dynamische Störunterdrükkung wichtig ist. Er beträgt nach Bild 1.16 a etwa 150 Ω. Dadurch kann beim LOW → HIGH-Übergang am Ausgang ein größerer Strom für das schnelle Aufladen von Lastkapazitäten geliefert werden.

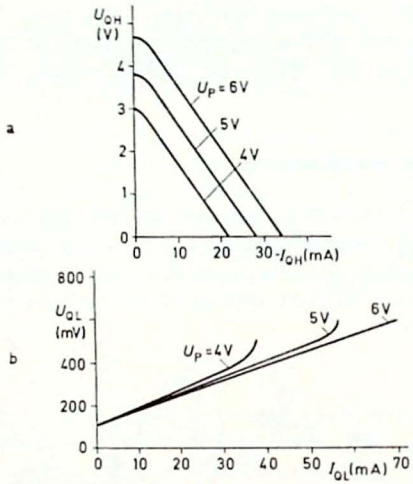


Bild 1.16. Typische Ausgangskennlinien eines TTL-FJ-Gatters bei verschiedenen Speisespannungen
a) mindestens ein Eingang im Zustand LOW
b) alle Eingänge im Zustand HIGH

1.3.1.2. LOW-Zustand am Ausgang

Liegt an allen Eingängen HIGH-Potential (Bild 1.15 b), dann wird der Transistor T_1 invers betrieben, d. h. seine Basis-Emitter-Strecken sind gesperrt, und die Basis-Kollektor-Strecke ist leitend. Die Transistoren T_2 und T_4 befinden sich in der Sättigung. Am Ausgang herrscht LOW-Potential. Der Transistor T_3 ist gesperrt, so daß der gesamte Kollektorstrom von T_4 als Strom I_{QLN} am Ausgang zur Verfügung steht. Die Ausgangskennlinie nach Bild 1.16 b ist somit identisch mit der Sättigungscharakteristik von Transistor T_4. Die Diode D bewirkt im Zustand Q = LOW eine sichere Sperrung des Transistors T_3, da die Bedingung

$$U_{BE\,4} + U_{CE\,sat\,2} < U_{CE\,sat\,4} + U_D + U_{BE\,3} \qquad (1.14)$$

eingehalten wird. Durch den Inversbetrieb des Transistors T_1 wird der Eingangsstrom im HIGH-Zustand relativ groß. Außerdem liefern die Parasitär-Transistoren T_{EE} (Bild 1.1 a) einen Beitrag zum Eingangsstrom I_{GH}, wenn alle übrigen Eingänge auf LOW-Potential liegen. Für diesen (in Bild 1.15 nicht dargestellten) ungünstigsten Fall gilt der angegebene Wert $I_{GH} \leqq 40\ \mu A$. Um diesen Strom für mehrere Gatter liefern zu können, ist unter anderem der Transistor T_3 der Ausgangsstufe nötig. In Bild 1.17 ist die typische Eingangskennlinie eines TTL-Gatters wiedergegeben.

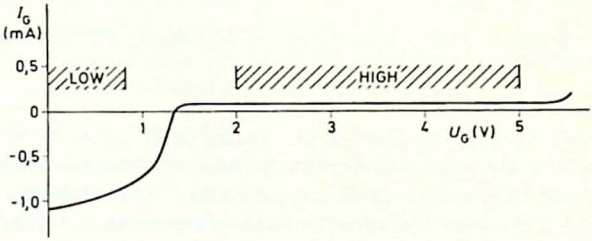


Bild 1.17. Typische Eingangskennlinie eines TTL-FJ-Gatters

1.3.2. Ausgangsverzweigung und Störspannungsabstand

Die Daten für die TTL-FJ-Reihe sind nach Bild 1.15 so ausgelegt, daß bei einer verfügbaren Ausgangsverzweigung

$$N \geqq \frac{16\ \text{mA}}{1{,}6\ \text{mA}} = \frac{400\ \mu\text{A}}{40\ \mu\text{A}} = 10$$

die minimalen statischen Störspannungsabstände

$$M_{L\,min} = 0{,}8\ \text{V} - 0{,}4\ \text{V} = 0{,}4\ \text{V}$$
$$M_{H\,min} = 2{,}4\ \text{V} - 2{,}0\ \text{V} = 0{,}4\ \text{V}$$

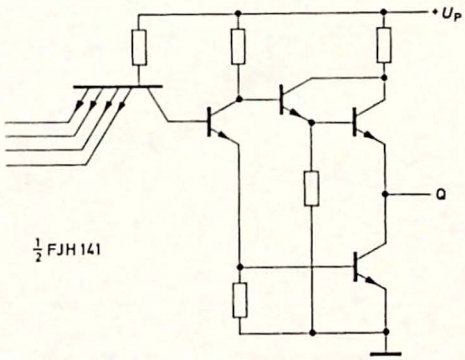


Bild 1.18. Leistungsgatter der TTL-FJ-Reihe ($N \geqq 30$)

im Bereich 0 ... 75 °C und bei $U_P = 5\,V \pm 5\,\%$ garantiert werden. Die typischen Werte können zum Beispiel im LOW-Zustand bei $M_L = 0{,}8\,V$ und im HIGH-Zustand bei $M_H = 2\,V$ und darüber liegen. Für verfügbare Ausgangsverzweigungen

$$N \geqq 30$$

gibt es das Leistungsgatter FJH 141, das noch einen zusätzlichen Emitterfolger enthält (Bild 1.18).

1.3.3. Schaltverhalten

Die typische Signalverzögerungszeit eines Standard-TTL-Gatters der FJ-Reihe beträgt

$$t_{pd} = 13\,ns\,.$$

Sie ist wesentlich kleiner als beim DTL-Gatter (z. B. $t_{pd} = 31$ ns bei der FC-Reihe). Das liegt unter anderem daran, daß der Mehrfachemitter eine kleine Kristallfläche und damit eine niedrige parasitäre Kapazität hat und daß in der Basiszone von T_1 beim Umschalten kein völliger Abbau oder Aufbau der Basisladung notwendig ist, weil dieser Transistor bei annähernd gleichbleibendem Basisstrom nur abwechselnd normal und invers betrieben wird. Beim HIGH → LOW-Übergang am Eingang wird die Basisladung von Transistor T_2 — sofern dieser eingeschaltet war — über den gesättigten Transistor T_1 und den betreffenden Eingang schnell abgeführt, während die Basisladung von T_4 über den Widerstand R_3 hinreichend schnell abfließt, weil dieser Widerstand gegenüber einem DTL-Gatter aufgrund der zusätzlichen Stromverstärkung des Transistors T_2 verhältnismäßig klein sein kann. Trotzdem gibt es beim Übergang LOW → HIGH am Ausgang eine Stromspitze im Speisestrom von etwa 10 mA und etwa 10 ns Dauer, die dadurch verursacht

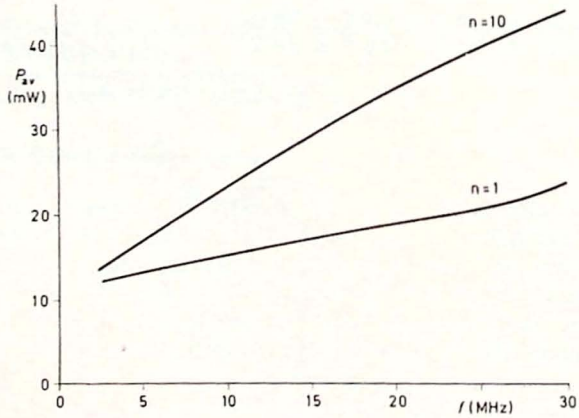


Bild 1.19. Typischer Leistungsverbrauch eines TTL-FJ-Gatters beim Tastgrad 0,5 als Funktion der Frequenz für die Ausgangsverzweigung 1 und 10

wird, daß die Basisladung von T_4 noch nicht vollständig abgeführt ist, während T_3 bereits einschaltet. Die vom Gatter aufgenommene Leistung steigt daher mit der Schaltfrequenz an, wie aus Bild 1.19 hervorgeht. Der Anstieg nimmt mit der Ausgangsverzweigung zu, weil die für das Umladen der Lastkapazitäten erforderliche Leistung mit der Frequenz wächst.

1.3.4. Unbenutzte Eingänge

Unbenutzte Eingänge können ebenso wie beim DTL-Gatter offen bleiben. Das ist logisch gleichwertig mit dem HIGH-Zustand. Häufig ist die Störsicherheit aber besser, wenn der Eingang an ein festes HIGH-Potential gelegt wird. Beim Anschließen unbenutzter Eingänge an die Speisespannung $+U_P$ muß die maximal zulässige Eingangsspannung

$$U_{G\,Grenz} = \text{max. } 5{,}5\ \text{V}$$

beachtet werden. Eine dritte Möglichkeit ist das Verbinden unbenutzter Eingänge mit signalführenden Eingängen. Dabei ergibt sich eine geringfügige Verminderung der Signalverzögerungszeit des Gatters, jedoch wird das treibende Gatter im HIGH-Zustand etwas stärker belastet.

1.3.5. UND-ODER-NICHT-Gatter

Wie bereits in Abschnitt 1.2.6 erwähnt wurde, ist beim Standard-TTL-Gatter eine „wired AND" - Verknüpfung nicht möglich. Um die häufig benötigte UND-ODER-NICHT-Funktion auch in TTL-Technik auf einfache Weise (in-

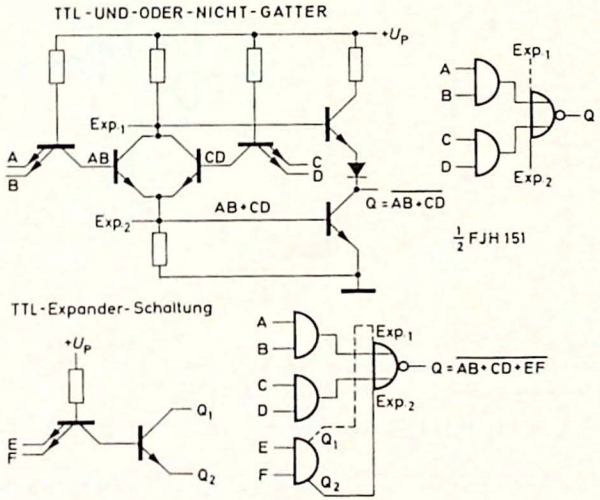


Bild 1.20. UND-ODER-NICHT-Gatter der TTL-FJ-Reihe und TTL-Expander-Schaltung

nerhalb einer Gatterebene) realisieren zu können, werden UND-ODER-NICHT-Gatter nach dem Beispiel von Bild 1.20 angeboten.

Ein Vergleich mit Bild 1.14 zeigt, daß hier der aus den Transistoren T_1 und T_2 bestehende Schaltungsteil mehrmals vorhanden ist, wobei mehrere (im vorliegenden Gatter zwei) Transistoren T_2 mit Kollektor und Emitter parallel geschaltet sind. Der gemeinsame Emitterpunkt hat nur dann LOW-Potential, wenn beide Basisanschlüsse auf LOW-Potential liegen. Sobald nur eine Basis positiv wird, steigt auch das Emitterpotential (Emitterfolger). Für positive Logik entsteht also eine ODER-Verknüpfung der Basissignale, aus der durch Inversion die gewünschte UND-ODER-NICHT-Funktion am Ausgang Q entsteht.

Zwei solcher Gatter sind zum Beispiel unter der Typenbezeichnung FJH 151 in einem Gehäuse untergebracht. Zu diesen UND-ODER-NICHT-Gattern gibt es auch spezielle Expander-Schaltungen (Bild 1.20). Hierbei handelt es sich jedoch nicht wie beim DTL-Expander um zusätzliche, zu einer UND- bzw. NAND-Funktion verknüpfte Eingangsvariable, sondern es werden weitere ODER-Verknüpfungen gebildet. Im Falle von Bild 1.20 zum Beispiel kommt durch den Expander der Ausdruck +EF hinzu. In DTL-Technik brauchte man zu diesem Zweck nach Bild 1.12 lediglich ein weiteres NAND-

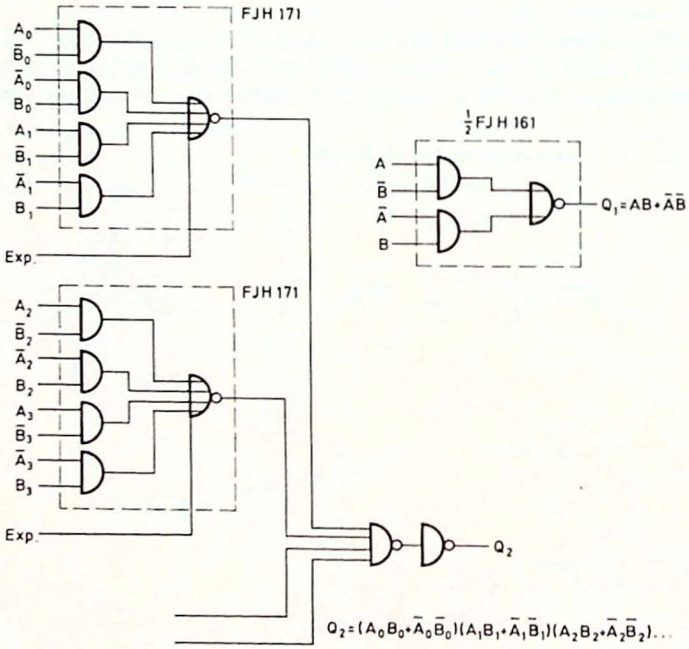


Bild 1.21. Beispiele für die Anwendung von UND-ODER-NICHT-Gattern als Vergleichsschaltung

Gatter mit den Eingängen E und F zu der vorhandenen „wired AND" - Anordnung parallel zu schalten.

Die Verbindungsleitungen von der TTL-Expander-Schaltung zum UND-ODER-NICHT-Gatter sollen möglichst kurz sein. Die Ausgangskapazitäten der Expander-Schaltungen bewirken eine Erhöhung der Signalverzögerungszeit um etwa 1 ns pro Expander-Schaltung. Es sollten nicht mehr als vier Expander-Schaltungen an ein UND-ODER-NICHT-Gatter angeschlossen werden.

Die UND-ODER-NICHT-Gatter eignen sich unter anderem für den Aufbau von Vergleichsschaltungen. Als Beispiel ist in Bild 1.21, rechts, eine 1 bit-Vergleichsschaltung angegeben. Bei Gleichheit der Variablen A und B befindet sich der Ausgang Q_1 im 1-Zustand. Außerdem zeigt Bild 1.21 eine Vergleichsschaltung für 4 bit, die durch Ausnutzen der Expander-Eingänge oder mit zusätzlichen Schaltungen FJH 171 noch erweitert werden kann.

In Bild 1.22 ist dargestellt, wie man mit einem UND-ODER-NICHT-Gatter eine UND-Verknüpfung innerhalb einer Gatterebene verwirklichen kann. Hierfür müssen allerdings die Komplemente der zu verknüpfenden Variablen zur Verfügung stehen.

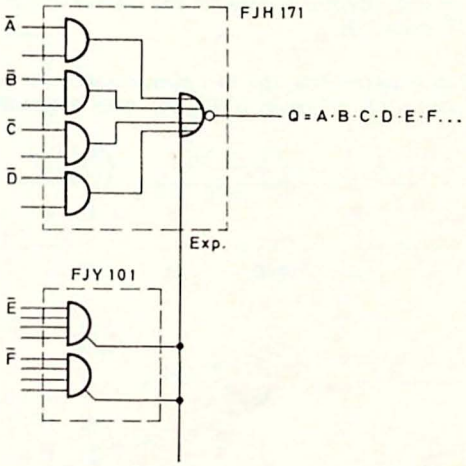


Bild 1.22. Realisierung der UND-Funktion beim Vorliegen der invertierten Variablen durch ein UND-ODER-NICHT-Gatter mit Expander-Schaltung

1.3.6. „Wired AND" bei TTL-Gattern mit offenem Kollektor

Für den Fall, daß man die „wired AND" - Verknüpfung auch in der TTL-Technik anwenden möchte, gibt es die Schaltung FJH 231, die vier NAND-Gatter mit offenem Kollektor und mit je zwei Eingängen nach Bild 1.23 enthält. Die logische Bedeutung der „wired AND" - Verknüpfung wurde in Ab-

schnitt 1.2.6 erläutert. Für die Belastungsverhältnisse gilt der in Bild 1.13b betrachtete Fall. Die in Tabelle 1.2 angegebenen Werte für den Widerstand R_Q wurden wiederum möglichst dicht an der durch Gl. (1.12) gegebenen unteren Grenze gewählt, um möglichst kurze Schaltzeiten zu erzielen. Die Anzahl m_{max} wurde nach Gl. (1.13) berechnet. Für den Widerstand R_Q wurde eine Gesamttoleranz von ± 10 % (einschließlich Alterungs- und Temperatureinfluß) berücksichtigt.

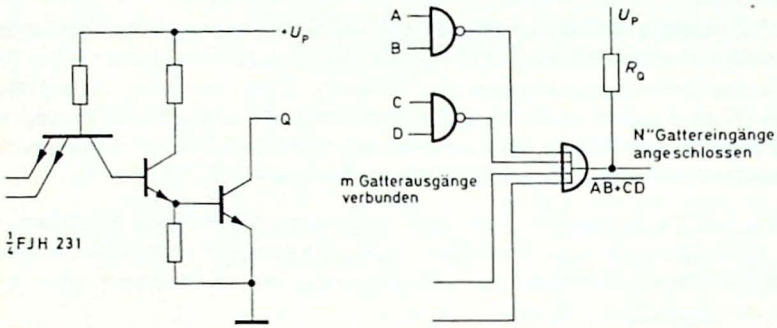


Bild 1.23. TTL-Gatter mit offenem Kollektor für „wired AND" - Verknüpfungen (R_Q nach Tabelle 1.2)

Tabelle 1.2: Widerstandswerte für die „wired AND" - Verknüpfung bei TTL-Gattern mit offenem Kollektor nach Bild 1.23

	N"								
m_{max}	1	2	3	4	5	6	7	8	9
1	0,39	0,43	0,51	0,56	0,68	0,91	1,2	1,8	3,6
3	·	·	·	·	·	·	·	1,8	
6	·	·	·	·	·	·	1,2		
8	·	·	·	·	·	0,91			
11	·	·	·	·	0,68				
14	·	·	·	0,56			R in kΩ		
16	·	·	0,51				(Toleranz ± 10 %)		
19	·	0,43							
21	0,39								

Bei der Verwendung von TTL-Gattern mit offenem Kollektor erhält man für die LOW → HIGH-Flanke am Ausgang wesentlich größere Anstiegszeiten als bei einem TTL-Standard-Gatter, weil Lastkapazitäten über den Widerstand R_Q aufgeladen werden müssen.

Eine weitere Schaltung mit offenem Kollektor innerhalb der TTL-FJ-Familie ist der Sechsfach-Inverter FJH 251. Nach Bild 1.24a kann man damit zum Beispiel auf einfache Weise eine ODER-Funktion realisieren, wenn nur die

Variablen selbst, nicht aber ihre Komplemente zur Verfügung stehen. Beim Vorliegen der Komplemente würde man zwar lediglich ein Standard-NAND-Gatter benötigen

$$\overline{\overline{A}\,\overline{B}\,\overline{C}\ldots} = A + B + C + \ldots,$$

könnte aber höchstens acht Variable verknüpfen (TTL-Standard-Gatter mit maximaler Eingangsanzahl). Nach dem Prinzip von Bild 1.24 a läßt sich mit vier Gehäusen FJH 251 unter Beachtung von Tabelle 1.2 eine ODER-Schaltung für maximal 21 Variable erstellen.

In Bild 1.24 b ist ein weiteres Beispiel für die Verwendung der Inverter eines Gehäuses FJH 251 angeführt. Um die angegebene Funktion mit einer Zweiebenen-NAND-Schaltung zu realisieren, wären nach der Beziehung

$$(A+B)\,(C+D) = AC + AD + BC + BD = \overline{\overline{AC}\cdot\overline{AD}\cdot\overline{BC}\cdot\overline{BD}}$$

1,5 Gehäuse notwendig. Eine Dreiebenen-NAND-Schaltung nach der Formel

$$(A+B)\,(C+D) = \overline{\overline{\overline{A}\,\overline{B}}\cdot\overline{\overline{C}\,\overline{D}}}$$

würde nur ein Gehäuse, jedoch die Komplemente der Eingangsvariablen erfordern.

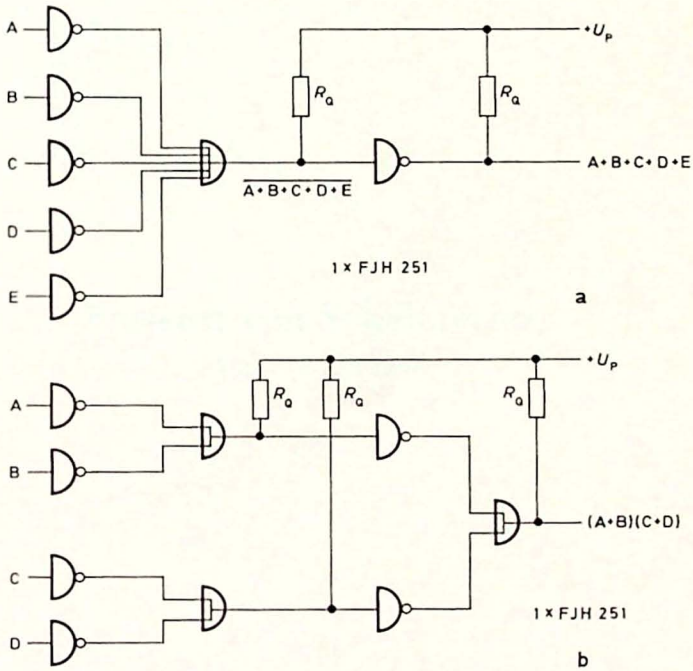


Bild 1.24. Beispiele für das Ausnutzen der Sechsfach-Inverter-Schaltung mit offenen Kollektoren FJH 251

Entwurf von Schaltnetzen

Von J. Wüstehube

Inhalt

2.1. Entwerfen von NAND-Gatterschaltungen aus Booleschen Gleichungen 51
2.1.1. Zweiebenen-NAND-Schaltungen 52
2.1.2. Mehrebenen-NAND-Schaltungen 53
2.1.3. Ausnutzen von „wired AND“ 54

2.2. Minimierung mit Karnaugh-Diagrammen 57
2.2.1. Aufgabenstellung 57
2.2.2. Karnaugh-Diagramm für vier Variable 58
2.2.3. Schleifenbildung im Karnaugh-Diagramm 59
2.2.4. Zusammenfassen der Felder mit 1 61
2.2.5. Zusammenfassen der Felder mit 0 63
2.2.6. Vereinfachung durch Ausklammern 65
2.2.7. Ausklammern mit Karnaugh-Diagrammen 67

Literatur 74

2.1. Entwerfen von NAND-Gatterschaltungen aus Booleschen Gleichungen

Ein Schaltnetz ist nach DIN 44 300 eine Funktionseinheit zum Verarbeiten von Schaltvariablen, wobei der Wert am Ausgang zu irgendeinem Zeitpunkt nur vom Wert am Eingang zu diesem Zeitpunkt abhängt. Ein Schaltnetz läßt sich aus Gattern (Verknüpfungsgliedern) aufbauen. Häufig wird auch von kombinatorischen Schaltungen bzw. kombinatorischer Logik oder aber einfach von Gatterschaltungen gesprochen. In diesem Abschnitt wird gezeigt, wie man eine gegebene Boolesche Funktion durch Gatterschaltungen mit möglichst geringem Aufwand realisiert. Die Verfahren werden ohne Herleitung anhand von Beispielen erläutert. Die Lösungen werden als NAND-Gatterschaltungen ausgeführt, weil Digital-Schaltungsfamilien heute meistens für die NAND-Technik ausgelegt sind. Die Regeln und Verfahren dieses Abschnitts können jedoch nach sinngemäßer dualer Umwandlung ebenso auf die NOR-Technik angewandt werden.

2.1.1. Zweiebenen-NAND-Schaltungen

Jede Boolesche Gleichung, die als „Summe" von „Produkten" vorliegt, läßt sich direkt in eine UND-ODER-Schaltung übertragen. Man erhält zum Beispiel für die Funktion

$$Q_1 = AB + \overline{C}D + E \tag{2.1}$$

die UND-ODER-Schaltung in Bild 2.1, links. Das ist eine sogenannte Zweiebenen-Gatterschaltung, d. h. die Signale durchlaufen vom Eingang bis zum Ausgang Q höchstens zwei Gatter. Hierbei sowie im folgenden wird angenommen, daß die Variablen am Eingang der UND-ODER-Schaltung — falls erforderlich — auch mit ihrem Komplement zur Verfügung stehen. Wo das nicht der Fall ist, käme für alle Variablen, deren Komplement gebraucht wird, noch eine Gatterebene für die Negation hinzu.

Das Umwandeln einer Booleschen „Summe" von „Produkten" — abgekürzt SP-Form [1] — nach der Regel von de Morgan führt im Fall von Gl. (2.1) auf

$$Q_1 = \overline{\overline{AB} \cdot \overline{\overline{C}D} \cdot \overline{E}}\,. \tag{2.2}$$

Dieser Ausdruck ist ausschließlich aus NAND-Funktionen gebildet. Die entsprechende NAND-Gatterschaltung ist ebenfalls in Bild 2.1 angegeben. Man sieht, daß jedes Gatter der UND-ODER-Schaltung durch ein NAND-Gatter

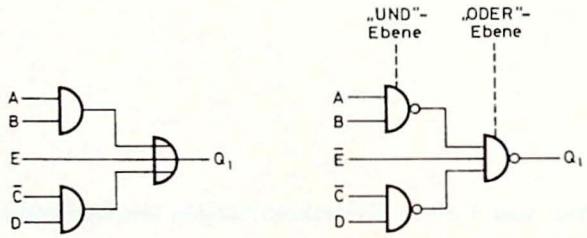


Bild 2.1. UND-ODER-Schaltung und äquivalente Zweiebenen-NAND-Schaltung zu Gl. (2.1)

ersetzt worden ist. Die Eingangsbedingungen bleiben gleich, mit Ausnahme der dem ODER-Gatter direkt zugeführten Variablen, die — wie hier zum Beispiel E — beim Übergang zur logisch äquivalenten NAND-Schaltung invertiert werden müssen. Wir nennen die entsprechenden Gatterebenen der NAND-Schaltung „UND"-Ebene und „ODER"-Ebene. Dabei sei darauf hingewiesen, daß die gesamte Zweiebenen-NAND-Schaltung zwar der UND-ODER-Folge logisch äquivalent ist; jedoch wird weder zwischen den Ein- und Ausgängen der „UND"-Ebene allein noch zwischen denen der „ODER"-Ebene allein eine UND- bzw. ODER-Funktion realisiert.

Somit läßt sich für die direkte Transformation einer UND-ODER-Folge bzw. einer in SP-Form geschriebenen Booleschen Gleichung in eine NAND-Schaltung folgende einfache Regel angeben.

Regel 1: Für jedes „Produkt" einer Booleschen Gleichung in SP-Form setzt man ein NAND-Gatter ein und verwendet zur „Summenbildung" ein weiteres NAND-Gatter. Diesem Gatter werden auch die Komplemente derjenigen Variablen zugeführt, die in der SP-Form einzeln als „Summanden" auftreten.

2.1.2. Mehrebenen-NAND-Schaltungen

Die Gleichung

$$Q_2 = (\underset{4}{A} \cdot \underset{3}{\overline{B}} + \underset{3}{C} + \underset{2}{\overline{D}}) \cdot \underset{1}{E} + \underset{2}{B} \cdot \underset{1}{C} + \overline{F} \tag{2.3}$$

beschreibt eine Folge von UND-ODER-Funktionen. Es handelt sich um eine SP-Form, deren Produkte wiederum in SP-Form dargestellt sind (SP-Kaskade). Solche Gleichungen lassen sich daher unmittelbar in eine NAND-Gatterschaltung übertragen, wenn man die für die Zweiebenen-Schaltung angegebene Regel auf mehrere Ebenen anwendet. Die Gleichung (2.3) läßt sich somit in eine Vierebenen-NAND-Schaltung transformieren, die in

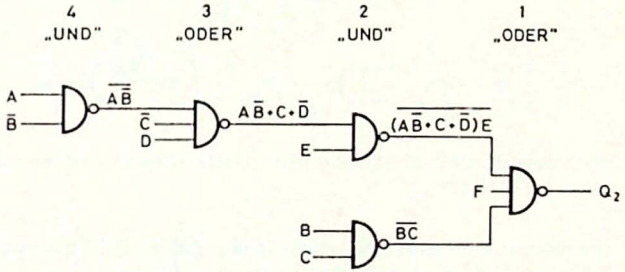


Bild 2.2. Mehrebenen-NAND-Schaltung mit „ODER"-Ebene am Ausgang nach Gl. (2.3)

Bild 2.2 dargestellt ist. „UND"- und „ODER"-Ebenen wechseln miteinander ab. In Anlehnung an [1] werden die Gatterebenen vom Ausgang her numeriert,

„ODER"-Ebenen erhalten ungeradzahlige Nummern,
„UND"-Ebenen erhalten geradzahlige Nummern.

Die Ebenennummern aus Bild 2.2 sind in Gl. (2.3) unter die zugehörigen Operationszeichen geschrieben worden. Einzelvariable, die in der Gleichung als „Summanden" auftreten, wie zum Beispiel C und $\overline{D}$, werden der betreffenden „ODER"-Ebene mit ihrem Komplement zugeführt.

Beim Vergleich von Bild 2.2 mit Gl. (2.3) zeigt sich:

> Die Ausgangssignale der „ODER"-Ebenen stimmen mit den entsprechenden „Summen"-Ausdrücken der als SP-Kaskade geschriebenen Gleichung überein.
> Die Ausgangssignale der „UND"-Ebenen erscheinen dagegen als Komplement der entsprechenden „Produkt"-Terme der Booleschen Gleichung.

Daher erhält man bei der Transformation einer Booleschen Gleichung in eine Gatterschaltung nach der erweiterten Regel 1 die gewünschte Funktion Q nur dann, wenn die Ausgangsebene eine „ODER"-Ebene ist. Bei Gleichungen in SP-Form oder in SP-Kaskade ist diese Bedingung stets erfüllt.

Liefert die Transformation dagegen als letzte Ebene eine „UND"-Ebene, dann erscheint an ihrem Ausgang das Komplement $\overline{Q}$ der gewünschten Funktion. Um Q zu erhalten, muß noch ein Inverter nachgeschaltet werden. Zur Erläuterung diene das Beispiel

$$Q_3 = [\,(\underset{6}{A} \cdot \underset{5}{B} + \underset{4}{C}) \cdot \underset{3}{D} + \underset{2}{E}\,] \cdot F\,. \tag{2.4}$$

Als letzte Operation ist hier die UND-Funktion zwischen der eckigen Klammer und F zu bilden, d. h. das letzte NAND-Gatter gehört einer „UND"-Ebene an. Anschließend ist daher noch ein Inverter erforderlich, um die Funktion Q_3 zu gewinnen.

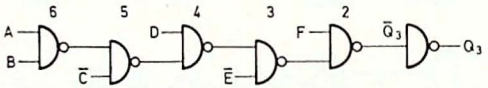


Bild 2.3. Mehrebenen-NAND-Schaltung mit „UND"-Ebene und Inverter am Ausgang nach Gl. (2.4)

Die zugehörige Mehrebenen-NAND-Schaltung ist in Bild 2.3 gezeigt. Ebenso wie in Bild 2.2 sind auch hier die „UND"-Ebenen wieder geradzahlig und die „ODER"-Ebenen ungeradzahlig numeriert worden. „Summanden", die als einzelne Variable vorkommen, werden den betreffenden „ODER"-Ebenen mit ihrem Komplement zugeführt.

2.1.3. Ausnutzen von „wired AND"

Die NAND-Funktion setzt sich aus einer UND-Funktion und einer Negation zusammen. Jedes NAND-Gatter kann daher nach Bild 2.4 b durch eine „wired AND" - Verknüpfung und einen Inverter ersetzt werden. Man kann auch nur einen Teil der Eingangsvariablen durch „wired AND" verknüpfen und einem NAND-Gatter-Eingang zuführen, während man die übrigen Variablen einzeln an weitere Eingänge des NAND-Gatters legt. Das wird man im Fall von Bild 2.4 c z. B. dann tun, wenn das Signal C von einem Punkt

kommt, der kein „wired AND" zuläßt wie zum Beispiel ein Flipflop-Ausgang. Es kann auch sein, daß in einem bereits vorhandenen Gehäuse noch ein Gatter mit zwei Eingängen frei ist, während für den Inverter ein zusätzliches Gehäuse aufgebracht werden müßte. Die Lösung nach Bild 2.4 c bietet schließlich gegenüber der von Bild 2.4 b die Möglichkeit, den „wired AND"-Punkt stärker zu belasten und die Variable C auch noch anderweitig logisch zu verarbeiten.

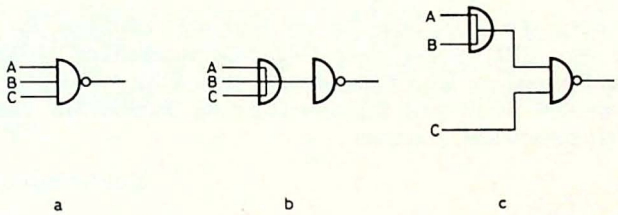


Bild 2.4. Zur Ausnutzung der „wired AND"-Verknüpfung

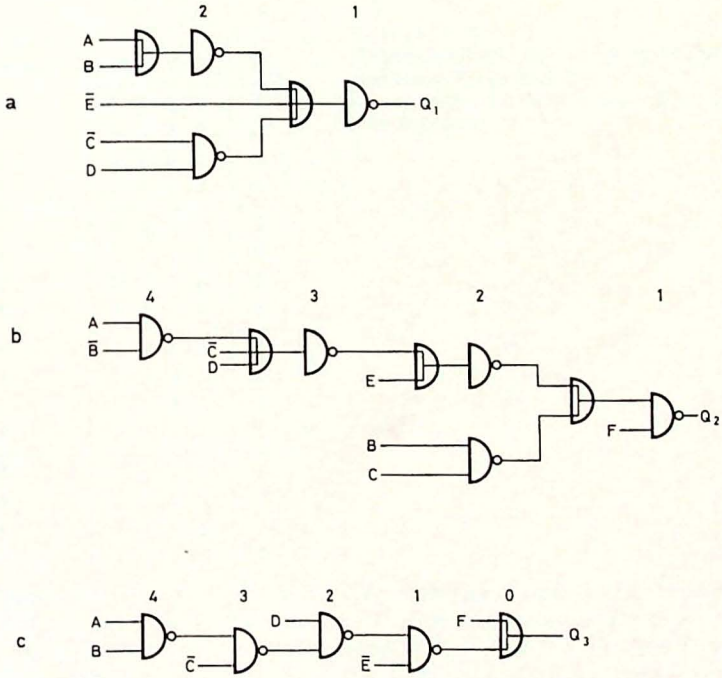


Bild 2.5. Beispiele für die Anwendung der „wired AND"-Verknüpfung bei der Realisierung von a) Gl. (2.1); b) Gl. (2.3); c) Gl. (2.4)

Bild 2.5 zeigt einige Beispiele für die Anwendung der „wired AND" - Verknüpfung bei der Realisierung der bereits behandelten Funktionen Q_1 bis Q_3. Bei Q_1 und Q_2 wird gegenüber den Schaltungen in Bild 2.1 und 2.2 lediglich die Anzahl der Eingänge bei einigen Gattern reduziert. Im Fall von Q_3 lassen sich jedoch zwei Gatterebenen einsparen. Die letzte UND-Funktion der Gleichung

$$Q_3 = [\,(\underset{4}{A} \cdot \underset{3}{B} + \underset{2}{C}) \cdot \underset{1}{D} + \underset{0}{E}\,] \cdot F \tag{2.5}$$

wird hier durch die UND-Ebene mit der Nummer 0 realisiert. Sie bildet im Gegensatz zur „UND"-Ebene einer NAND-Gatterschaltung tatsächlich die UND-Funktion (und nicht ihr Komplement), ohne dabei jedoch eine konkrete Gatterebene und damit eine Signalverzögerung darzustellen. Das kommt durch die Nummer 0 zum Ausdruck.

2.2. Minimierung mit Karnaugh-Diagrammen

Von den verschiedenen Verfahren zur Minimierung Boolescher Ausdrücke soll hier nur die Methode mit Hilfe von Karnaugh-Diagrammen erläutert werden. Es soll angestrebt werden, minimale „Summen" von minimalen „Produkten" zu gewinnen. Nach Abschnitt 2.1 kann man dann erwarten, daß auch die entsprechenden NAND-Gatterschaltungen möglichst einfach aufgebaut sind. Die minimierte Form soll nicht nur die Variablen selbst, sondern auch ihre Komplemente enthalten dürfen. D. h. es soll vorausgesetzt werden, daß auch die Komplemente zur Verfügung stehen (wie z. B. bei Flipflops) oder daß sie — falls erforderlich — durch zusätzliche Inverter erzeugt werden. Das Minimierungsverfahren wird an einem Beispiel für vier Variable erläutert.

2.2.1. Aufgabenstellung

Eine logische Verknüpfung sei in Form einer Wahrheitstabelle (Tabelle 2.1) als Funktion der vier Variablen A, B, C und D gegeben. In der Ergebnisspalte Q_4 finden sich außer den Binärwerten 0 und 1 auch noch die Zeichen X.

Dezimal äquivalent	A	B	C	D	Q_4
0	0	0	0	0	0
1	1	0	0	0	X
2	0	1	0	0	1
3	1	1	0	0	0
4	0	0	1	0	0
5	1	0	1	0	0
6	0	1	1	0	0
7	1	1	1	0	1
8	0	0	0	1	1
9	1	0	0	1	1
10	0	1	0	1	1
11	1	1	0	1	1
12	0	0	1	1	1
13	1	0	1	1	X
14	0	1	1	1	X
15	1	1	1	1	0

Tabelle 2.1: Wahrheitstabelle der als Aufgabenbeispiel gegebenen Logikfunktion
X = beliebig, d. h. Q = 0 oder Q = 1 (don't care position)

An diesen Stellen soll Q_4 beliebig, d. h. entweder 0 oder 1 sein können, sei es, daß die betreffende Eingangskombination überhaupt nicht auftritt (wie z. B. bei Pseudotetraden in redundanten Codes) oder daß der Wert von Q_4, wenn er vorkommt, belanglos ist (wie z. B. bei bestimmten Signalübergängen in asynchronen Zählern). Diese Tatsache werden wir uns nachher bei der Vereinfachung der Funktion zunutze machen.

2.2.2. Karnaugh-Diagramm für vier Variable

Ein Karnaugh-Diagramm dient ebenso wie eine Wahrheitstabelle oder eine Boolesche Gleichung zunächst nur zur Darstellung einer logischen Verknüpfung. Als Hilfsmittel zur Minimierung ist das Karnaugh-Diagramm gegenüber anderen Verfahren jedoch wesentlich praktischer und anschaulicher und führt daher bis zu sechs oder acht Variablen — je nach Übung — meistens am schnellsten zu einer Lösung. Häufig wird das Karnaugh-Diagramm nach Karnaugh und Veitch abgekürzt auch KV-Tafel genannt.

Im Karnaugh-Diagramm wird die Menge der möglichen Eingangszustände durch eine quadratische (oder auch rechteckige) Fläche repräsentiert. Diese Fläche wird waagerecht und senkrecht in Teilflächen zerlegt, von denen jede einem Binärwert einer Eingangsvariablen (Teilmenge) zugeordnet ist. Die hier gewählte Zuordnung ist in Bild 2.6 angegeben. Durch Überlappung der Teilflächen ergibt sich — den vier Eingangsvariablen entsprechend — ein Karnaugh-Diagramm mit $2^4 = 16$ Feldern (Bild 2.7). Jedes Feld gehört zu einer Zeile der Wahrheitstabelle 2.1, d. h. zu einer bestimmten Wertekombi-

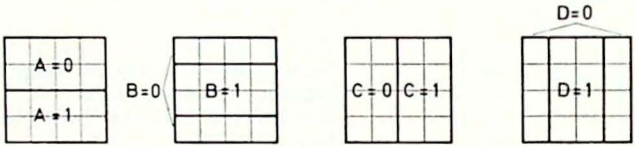


Bild 2.6. Zuordnung der Teilflächen eines Karnaugh-Diagramms mit 16 Feldern zu den Binärwerten der vier Eingangsvariablen

a

A \ B, D	00	01	11	10
00	0	8	12	4
01	2	10	14	6
11	3	11	15	7
10	1	9	13	5

b

A \ B, D	00	01	11	10
00	0	1	1	0
01	1	1	X	0
11	0	1	0	1
10	X	1	X	0

Q_4

Bild 2.7. Kennzeichnung der Felder eines Karnaugh-Diagramms für vier Variable durch Randbeschriftung (Tetraden) oder durch das Dezimaläquivalent der betreffenden Dualzahl und Karnaugh-Diagramm der Funktion Q_4. In der Literatur werden zum Teil andere Zuordnungen als in Bild 2.6 verwendet, womit sich andere Feldnumerierungen bzw. Randbeschriftungen ergeben. Dabei können die einen bestimmten Booleschen Ausdruck repräsentierenden Schleifen (Bild 2.8) eine andere Lage innerhalb des Karnaugh-Diagramms und auch eine andere Form annehmen. Am Ergebnis der Auswertung des Karnaugh-Diagramms ändert sich dadurch nichts.

nation der Variablen A, B, C, D. Diese Wertekombinationen, auch Tetraden genannt, können aus der Randbeschriftung des Karnaugh-Diagramms abgelesen werden. So gehört zum Beispiel zur Tetrade 0111 das Feld in der zweiten Zeile (01) und der dritten Spalte (11). Mit Hilfe der Randbeschriftung lassen sich also die Felder im Karnaugh-Diagramm rasch auffinden.

Faßt man die Tetraden der Tabelle 2.1 als Dualzahlen auf (von rechts nach links gelesen), so kann man jeder Zeile der Wahrheitstabelle und somit auch jedem Feld des Karnaugh-Diagramms ein Dezimaläquivalent zuordnen. Prägt man sich diese in Bild 2.7 a angegebenen Feldnummern ein, so geht das Eintragen der Funktionswerte Q in die Felder besonders schnell: Man durchläuft die Ergebnisspalte Q der Wahrheitstabelle von oben nach unten und gleichzeitig die Karnaugh-Felder in der Reihenfolge der Nummern. Dabei notiert man in jedem Feld den in der Q-Spalte verzeichneten Wert 0, 1 oder X. Für die Funktion Q_4 von Tabelle 2.1 ergibt sich somit das Karnaugh-Diagramm des Bildes 2.7 b.

Das Übertragen der Ergebnisspalte in die Karnaugh-Felder kann nur dann in der angegebenen Reihenfolge vorgenommen werden, wenn die Tetraden wie in Tabelle 2.1 nach Dualzahlen geordnet sind. Wo das nicht der Fall ist, wird man das zugehörige Karnaugh-Feld mit Hilfe der binären Randbeschriftung nach Bild 2.7 aufsuchen. Man kann aber auch erst die Tetraden nach Dualzahlen ordnen und dann die Ergebnisspalte Q von oben angefangen in der Reihenfolge der Feldnummern eintragen.

2.2.3. Schleifenbildung im Karnaugh-Diagramm

An sich läßt sich schon aus der Wahrheitstabelle direkt eine Boolesche Gleichung der Funktion Q und damit eine entsprechende Gatterschaltung ablesen, indem man die Zeilen mit dem Wert Q = 1 heraussucht. Für jede Zeile schreibt man einen UND-Ausdruck der Variablen A bis D, und zwar so, daß man beim Binärwert 1 in der betreffenden Spalte der Wahrheitstabelle die Variable selbst notiert und beim Binärwert 0 ihr Komplement nimmt. Zum Beispiel erhält man aus Zeile 2 von Tabelle 2.1 mit der Tetrade 0100 den UND-Ausdruck $\overline{A}\,B\,\overline{C}\,\overline{D}$. Diese UND-Ausdrücke (hier also für die Zeilen 2, 7, 8, 9, 10, 11, 12) werden durch eine ODER-Verknüpfung zusammengefaßt. Für unser Beispiel ergibt sich

$$Q_4 = \overline{A}B\overline{C}\overline{D} + ABC\overline{D} + \overline{A}\overline{B}\overline{C}D + A\overline{B}\overline{C}D + \overline{A}B\overline{C}D + AB\overline{C}D + \overline{A}\overline{B}CD\,. \tag{2.6}$$

Das ist die sogenannte disjunktive kanonische Normalform (abgekürzt kanonische SP-Form) [1] der Funktion Q_4. Die entsprechende Gatterschaltung würde nach Regel 1 eine Zweiebenen-NAND-Schaltung, und zwar

7 NAND-Gatter mit je 4 Eingängen

und

1 NAND-Gatter mit 7 Eingängen,

erfordern. Im allgemeinen läßt sich jedoch durch zweckmäßiges Zusammenfassen eine kürzere Gleichung als die kanonische SP-Form finden und damit der Aufwand an Gattern meist erheblich reduzieren. Das Zusammenfassen führt man am besten im Karnaugh-Diagramm durch, indem man Schleifen um benachbarte Felder bildet, die gleiche Funktionswerte von Q enthalten.

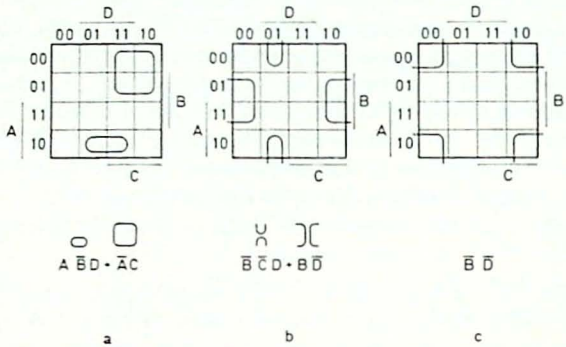


Bild 2.8. Schleifenbildung um benachbarte Felder im Karnaugh-Diagramm

Wir betrachten in Bild 2.8 a zum Beispiel die Felder $A\bar{B}\bar{C}D$ und $A\bar{B}CD$. Ihre Binärkombinationen unterscheiden sich nur im Wert von C, im linken Feld ist C = 0, im rechten C = 1. Beide Felder gemeinsam repräsentieren also einen UND-Ausdruck, der unabhängig von C ist und daher nur noch drei Variable enthält. Die Zusammenfassung der beiden Felder wird durch eine sogenannte Zweierschleife gekennzeichnet. Sie liefert eine Vereinfachung, die algebraisch so dargestellt werden kann:

$$A\bar{B}\bar{C}D + A\bar{B}CD = A\bar{B}D\,(\bar{C} + C) = A\bar{B}D\,. \tag{2.7}$$

Anstelle von zwei NAND-Gattern mit je vier Eingängen und einem NAND-Gatter mit zwei Eingängen brauchte man in diesem Fall also nur ein NAND-Gatter mit drei Eingängen und einen Inverter. Bildet man eine Vierergruppe im Karnaugh-Diagramm, so hängt sie nur noch von zwei Eingangsvariablen ab wie zum Beispiel die Gruppe $\bar{A}C$ in Bild 2.8 a. Eine Achtergruppe schließlich ist nur noch durch eine Variable gegeben.

Um die Funktionsgleichung weitgehend zu vereinfachen, kommt es also darauf an, im Karnaugh-Diagramm möglichst große und möglichst wenige Schleifen um benachbarte Felder zu bilden.

Als benachbart gelten dabei ganz allgemein solche Karnaugh-Felder, für die sich beim Übergang stets nur eine der vier Variablen — von 1 nach 0 oder umgekehrt — ändert. Diese Variable entfällt dann beim Zusammenfassen. Demnach gelten auch Felder an gegenüberliegenden Seiten des Karnaugh-Diagramms als benachbart (Bild 2.8 b), und auch die Eckfelder stellen eine Vierergruppe benachbarter Felder dar (Bild 2.8 c).

Die Anzahl der zu einer Schleife zusammengefaßten Felder muß 2, 4, 8 usw., also gleich einer Potenz von 2 sein. Es dürfen nur Felder zusammengefaßt werden, die gleiche Binärwerte oder das Zeichen X enthalten. Man kann also entweder nur Felder mit 1 und X oder nur Felder mit 0 und X zusammenfassen. Das Schleifenbilden muß solange fortgeführt werden, bis alle 1-Felder bzw. alle 0-Felder erfaßt sind. Jede dieser beiden Methoden führt zu einem Booleschen Ausdruck für die gegebene Funktion. Welcher davon der einfachere ist bzw. welcher mit dem geringsten Aufwand an NAND-Gattern realisierbar ist, läßt sich vorher nicht ohne weiteres sagen. Es ist daher im allgemeinen zu empfehlen, beide Methoden anzuwenden und anschließend das einfachere oder zweckmäßigere Ergebnis auszuwählen. Das soll an unserem Beispiel demonstriert werden.

2.2.4. Zusammenfassen der Felder mit 1 (1-Feld-Schleifen)

In Bild 2.9 ist das Karnaugh-Diagramm unserer Beispiel-Funktion noch einmal dargestellt, jedoch sind die Werte $Q_4 = 0$ aus Bild 2.7 b jetzt weggelassen. Da die Zeichen X nach Belieben 0 oder 1 bedeuten können, dürfen sie beim Zusammenfassen mit einbezogen oder aber weggelassen werden, so wie es für das Bilden möglichst weniger, möglichst großer Schleifen am günstigsten ist (don't care positions).

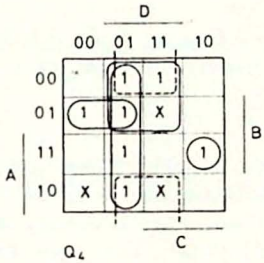


Bild 2.9. Schleifenbildung um die 1-Felder im Karnaugh-Diagramm der Funktion Q_4 (Tabelle 2.1)

Man beginnt mit den kleinsten „Schleifen" [1], d. h. mit dem Aufsuchen von 1-Feldern, denen gar kein 1- oder X-Feld benachbart ist, und findet hier das Feld $ABC\overline{D}$. Dann sucht man Zweiergruppen, die nicht gleichzeitig Bestandteil einer Vierergruppe sind, hier die Gruppe $\overline{A}B\overline{C}$. Anschließend bildet man Vierergruppen, die nicht gleichzeitig in einer Achterschleife enthalten sind, im vorliegenden Fall sind das die Gruppen $\overline{C}D$ und $\overline{A}D$. Damit sind alle 1-Felder des Karnaugh-Diagramms erfaßt. Achtergruppen existieren in unserem Beispiel nicht. Durch ODER-Verknüpfung der gefundenen Gruppen erhält man den gegenüber Gl. (2.6) stark vereinfachten Ausdruck

$$Q_4 = ABC\overline{D} + \overline{A}B\overline{C} + \overline{C}D + \overline{A}D\,. \tag{2.8}$$

Wie Bild 2.9 zeigt, dürfen einzelne Felder oder Feldergruppen beim Schleifenbilden mehrmals in verschiedene Schleifen einbezogen werden. Ferner geht aus Bild 2.9 hervor, daß ohne das X-Zeichen im Feld 0111 anstelle des Terms $A\overline{D}$ in Gl. (2.8) ein dreigliedriger Ausdruck, nämlich $\overline{A}\overline{B}D$, erschienen wäre.

Anstelle der quadratischen Vierergruppe (oben Mitte in Bild 2.9) hätte auch die gestrichelte Schleife gebildet werden können. Anstelle des Ausdrucks $\overline{A}D$ in Gl. (2.8) könnte man daher auch $\overline{B}D$ schreiben

$$Q_4 = ABC\overline{D} + \overline{A}B\overline{C} + \overline{C}D + \overline{B}D \tag{2.9}$$

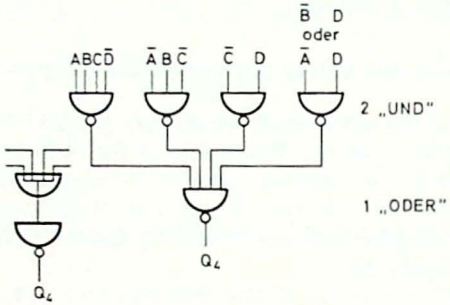


Bild 2.10. Zweiebenen-NAND-Schaltung zu Gl. (2.8) bzw. (2.9), erhalten durch Zusammenfassen der Karnaugh-Felder mit 1

Nach Regel 1 erhält man die in Bild 2.10 angegebene Zweiebenen-NAND-Schaltung, wobei die Eingangssignale nach Gl. (2.8) oder Gl. (2.9) angelegt werden können. Es gibt hier also zwei Lösungen mit gleichem Aufwand. Für welche man sich entscheidet, hängt unter anderem von folgenden Gesichtspunkten ab:

1. Eine der Lösungen enthält Gatterfunktionen, die bereits von anderen Schaltnetzen her vorhanden sind und somit eingespart werden können.

2. Eine der Lösungen gestattet eine geringere Belastung der Signalquellen, wodurch vielleicht ein Leistungsgatter oder eine spezielle Treiberstufe eingespart werden kann.

3. Eine der Lösungen erfordert weniger Inverter an den Eingängen (falls die negierten Signale nicht ohnehin zur Verfügung stehen).

4. Eine der Lösungen erlaubt ein vorteilhafteres Ausklammern und damit eine weitere Vereinfachung (Abschn. 2.2.6) oder liefert einen gemeinsamen Faktor, wenn die gleichzeitige Realisierung mehrerer Ausgangsfunktionen verlangt wird.

Das in diesem Abschnitt beschriebene Verfahren zum Auffinden einer NAND-Gatterschaltung für eine gegebene Logik-Funktion läßt sich in folgender Regel zusammenfassen:

Regel 2: Man stellt die gegebene Funktion Q durch Schleifenbildung um die 1-Felder des Karnaugh-Diagramms in SP-Form dar. Für jedes „Produkt" setzt man ein NAND-Gatter ein („UND"-Ebene) und verwendet für die „Summenbildung" ein weiteres NAND-Gatter („ODER"-Ebene). Einzelvariable, die als „Summanden" vorkommen, werden negiert und der „ODER"-Ebene direkt zugeführt.

Falls die „wired AND" - Verknüpfung gebildet werden darf, kann nach Abschnitt 2.1.3 anstelle des Ausgangs-NAND-Gatters ein Inverter eingesetzt werden.

2.2.5. Zusammenfassen der Felder mit 0 (0-Feld-Schleifen)

Das Bild 2.11 zeigt noch einmal das Karnaugh-Diagramm für die Funktion Q_4 (vgl. Bild 2.7 b), jedoch sind jetzt die Werte Q = 1 weggelassen. Beim Schleifenbilden um die Felder mit 0 geht man ebenso vor, wie es im vorigen Abschnitt für die Felder mit 1 beschrieben wurde.

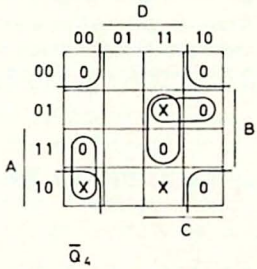


Bild 2.11. Schleifenbildung um die 0-Felder im Karnaugh-Diagramm der Funktion Q_4 (Tabelle 2.1)

Die Felder mit X können wiederum mit einbezogen werden oder nicht, so wie es für das Zusammenfassen am günstigsten ist. Wir erhalten drei Zweiergruppen und eine Vierergruppe. Ihre ODER-Verknüpfung liefert jedoch hier, da wir Felder mit 0 zusammengefaßt haben, das Komplement $\overline{Q}$ der gegebenen Funktion

$$\overline{Q}_4 = A\overline{C}\overline{D} + BCD + \overline{A}BC + \overline{B}\overline{D}\,. \tag{2.10}$$

Die rechte Seite der Gleichung stellt eine UND-ODER-Folge dar, die durch eine Zweiebenen-NAND-Schaltung nach Bild 2.12 realisiert werden kann. An ihrem Ausgang erscheint $\overline{Q}_4$. Der nachfolgende Inverter liefert die gewünschte Funktion Q_4. Es gilt

Regel 3: Man stellt das Komplement $\overline{Q}$ der gegebenen Funktion durch Schleifenbildung um die 0-Felder des Karnaugh-Diagramms in SP-Form dar. Für jedes „Produkt" setzt man ein NAND-Gatter ein („ODER"-Ebene) und verwendet für die „Summenbildung" ein weiteres NAND-Gatter („UND"-Ebene), mit nachfolgendem Inverter. Einzelvariable als „Summanden" werden negiert und der „UND"-Ebene direkt zugeführt.

Falls die „wired AND" - Verknüpfung gebildet werden darf, können hier — im Gegensatz zur Schaltung von Bild 2.10 — zwei Gatterebenen eingespart werden (vgl. Bild 2.3 und 2.5 c).

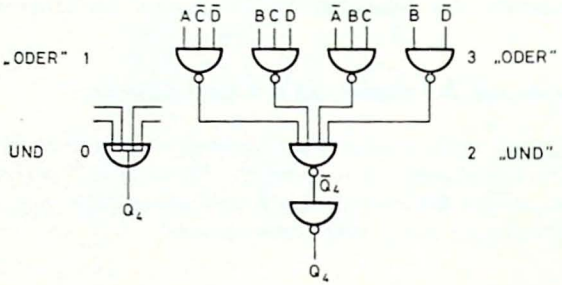


Bild 2.12. Dreiebenen- und Einebenen-NAND-Schaltung zu Gl. (2.10) bzw. (2.11), erhalten durch Zusammenfassen der Karnaugh-Felder mit 0

Tabelle 2.2: Vergleich der NAND-Gatterschaltungen von Bild 2.10 und 2.12

Nr.	Schaltung	Anzahl der NAND-Gatter mit 1 Eing.	2	3	4	Gehäuse	Unterschiedliche Gattertypen	Ebenen
1	Bild 2.10		2	1	2	$\frac{1}{2}+\frac{1}{3}+1 = 1{,}83$	3	2
2	Bild 2.12	1	1	3	1	$\frac{1}{6}+\frac{1}{4}+1+\frac{1}{2} = 1{,}92$	4	3
3	Bild 2.10 [1])	1	2	1	1	$\frac{1}{6}+\frac{1}{2}+\frac{1}{3}+\frac{1}{2} = 1{,}5$	4	2
4	Bild 2.12 [1])		1	3		$\frac{1}{4}+1 = 1{,}25$	2	1

[1]) mit „wired AND"

Die Benennung der Gatterebenen in Bild 2.12 wird verständlich, wenn man Gl. (2.10) umformt in

$$Q_4 = (\overline{A} + C + D) \cdot (\overline{B} + \overline{C} + \overline{D}) \cdot (A + \overline{B} + \overline{C}) \cdot (B + D) \qquad (2.11)$$

$$\begin{array}{ccccccc} 3 & 2 & 3 & 2 & 3 & 2 & 3 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 \end{array}$$

und die Transformationsregeln von Abschnitt 2.1 anwendet (Gln. (2.4) und (2.5)).

Ein Vergleich mit der Schaltung Bild 2.10 in der Tabelle 2.2 zeigt, daß die „wired AND" - Lösung aus Bild 2.12 den geringsten Gehäuse-Aufwand und die wenigsten Gattertypen benötigt sowie die kleinste Signalverzögerungszeit liefert. Falls keine „wired AND" - Verknüpfung möglich ist, erweist sich Lösung Nr. 1 gegenüber Nr. 2 als etwas günstiger.

2.2.6. Vereinfachung durch Ausklammern

In den letzten beiden Abschnitten wurde gezeigt, wie man durch Zusammenfassen der Karnaugh-Felder mit 1 oder mit 0 zu möglichst einfachen Gatterschaltungen für eine gegebene Logik-Funktion kommen kann. Die Anzahl der Ebenen dieser Gatterschaltungen war zwei, drei oder — unter Ausnutzung des „wired AND" — eins. Dabei ergeben sich zwar kleine Verzögerungszeiten, man erhält jedoch relativ viele Eingänge, so daß die Ausgangsverzweigung der ansteuernden Schaltungen manchmal erhöht werden muß.

Häufig kann man nun in der SP-Form gemeinsame „Faktoren" ausklammern und damit die Anzahl der Eingänge reduzieren. Man kommt dann zu Mehrebenen-Gatterschaltungen. Hierfür braucht man im allgemeinen mehr Gatter. Jedoch nimmt die Anzahl der Eingänge je Gatter ab, so daß von den benötigten Gattern mehr in einem Gehäuse untergebracht sein können und der Gehäuse-Aufwand daher oft nur unerheblich zunimmt.

Zum Beispiel erhält man durch Ausklammern in Gl. (2.8) den Ausdruck

$$Q_4 = B \cdot (A \cdot C \cdot \overline{D} + \overline{A} \cdot \overline{C}) + D \cdot (\overline{A} + \overline{C}) . \qquad (2.12)$$

$$\begin{array}{ccccccc} 2 & 4 & 3 & 4 & 1 & 2 & 3 \end{array}$$

Mit den Transformationsregeln aus Abschnitt 2.1 ergibt sich die Vierebenen-Schaltung Bild 2.13. Sie hat zwei Eingänge (B und D) weniger als die Schaltung Bild 2.10; der Gehäuse-Aufwand ist derselbe wie bei Schaltung Nr. 1 (Tabelle 2.2), jedoch werden nur noch zwei Gattertypen benötigt. Unter Ausnutzung der „wired AND" - Verknüpfung könnten auch hier noch einige Gatter durch Inverter ersetzt werden.

Wenn man die durch Zusammenfassen der 0-Felder gewonnene Lösung durch Ausklammern vereinfachen will, geht man am besten von der Gleichung für $\overline{Q}$ aus. So zum Beispiel liefert Gl. (2.10)

$$\overline{Q_4} = B \cdot C \cdot (\overline{A} + D) + \overline{D} \cdot (A\overline{C} + \overline{B}) . \qquad (2.13)$$

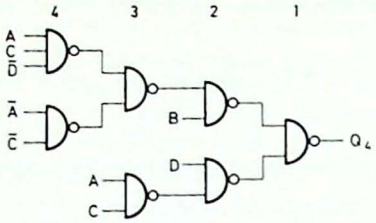


Bild 2.13. Mehrebenen-NAND-Schaltung nach Gl. (2.12) für die Funktion Q_4

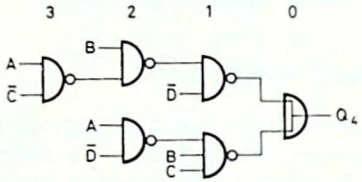
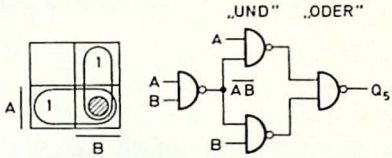


Bild 2.14. Mehrebenen-NAND-Schaltung nach Gl. (2.13) für die Funktion Q_4

Unter Ausnutzung des „wired AND" ergibt sich bei Beachtung von Abschnitt 2.2.5 die Dreiebenen-Schaltung von Bild 2.14. Sie hat drei Eingänge (B, C und $\overline{D}$) weniger als die Schaltung Bild 2.12 und der Gehäuse-Aufwand liegt mit 1,33 Gehäusen nur unwesentlich über dem der Einebenen-„wired-AND"-Lösung (Nr. 4 in Tabelle 2.2).

2.2.7. Ausklammern mit Karnaugh-Diagrammen

Die im folgenden beschriebene Methode führt auf Gatteranordnungen, bei denen der Ausgang eines NAND-Gatters mit den Eingängen mehrerer NAND-Gatter nachfolgender Gatterebenen verbunden ist. Ein einfaches Beispiel für solche vermaschten Mehrebenen-NAND-Schaltungen ist die bekannte NAND-Anordnung für die Exklusiv-ODER-Funktion, die in Bild 2.15



$Q_5 = A(\overline{AB}) + B(\overline{AB}) = A\bar{B} + \bar{A}B$

Bild 2.15. Einfaches Beispiel für das Ausklammern mit Karnaugh-Diagrammen (vermaschte Mehrebenen-NAND-Schaltung für die Exklusiv-ODER-Funktion)

angegeben ist. Das Ausklammern mit Karnaugh-Diagrammen [1] läßt sich bei etwas Übung so durchführen, daß man zum Beispiel wie in Bild 2.15 keine Komplemente der Eingangsvariablen und auch keine Inverter dafür benötigt. Man kann aber auch einige der Variablen oder alle mit ihrem Komplement am Eingang vorkommen lassen. Vermaschte Mehrebenen-NAND-Schaltungen enthalten meistens eine höhere Redundanz. Daraus können sich Vorteile ergeben, wenn zum Beispiel mehrere Funktionen Q aus denselben Eingangsvariablen gebildet werden sollen oder wenn man ganze Gruppen von Funktionen, wie zum Beispiel alle Vollkonjunktionen (Minterme oder kanonischen Produkt-Terme), erzeugen will.

2.2.7.1. Antischleifen um 1-Felder oder um 0-Felder

Das beim Ausklammern mit Karnaugh-Diagrammen zugrunde liegende Prinzip soll anhand des Beispiels von Bild 2.15 erläutert werden. Zur Bildung der Funktion Q_5 benötigt man die Schleife A UND NICHT die schraffierte Schleife AB ODER die Schleife B UND NICHT die schraffierte Schleife AB. Das ergibt in Boolescher Schreibweise

$$Q_5 = A\,(\overline{AB}) + B\,(\overline{AB})\,. \tag{2.14}$$

Für die Klammerausdrücke setzt man ein NAND-Gatter ein und erhält nach Regel 1 die im Bild angegebene NAND-Schaltung.

In Abweichung von Regel 2 bildet man hier also 1-Feld-Schleifen (Abschn. 2.2.4), die auch 0-Felder enthalten. Die unerwünschten 0-Felder unterdrückt man durch Antischleifen (schraffiert). Jede Antischleife wird durch ein

NAND-Gatter realisiert. Sein Ausgang wird auf das NAND-Gatter für die betreffende 1-Feld-Schleife geführt.

Entsprechend kann man 0-Feld-Schleifen (Abschn. 2.2.5) bilden, die auch 1-Felder enthalten, indem man die nicht erwünschten 1-Felder durch Antischleifen unterdrückt. Bild 2.16 zeigt als Beispiel die 0-Feld-Schleife C, unterbrochen von der Antischleife AB, die hier durch das NAND-Gatter m realisiert wird. Bezeichnet man die durch NAND-Gatter gebildeten Verknüpfungen mit m, n usw., dann kann man im Fall von Bild 2.16 schreiben

$$\begin{aligned} m &= \overline{AB}, \\ n &= \overline{Cm}, \\ Q_6 &= n. \end{aligned} \tag{2.15}$$

Aus der Beschriftung der Karnaugh-Felder entnimmt man, daß das Ausgangsgatter n alle 0-Felder der gegebenen Funktionen erfaßt. Das Ziel des Entwurfs besteht also darin, in allen 0-Feldern des Karnaugh-Diagramms — und nur in diesen — denselben Gatterbuchstaben zu erhalten.

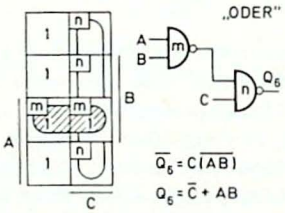


Bild 2.16. Antischleife um 1-Felder zur Unterdrückung unerwünschter 1-Felder in einer 0-Feld-Schleife

Aus den Bildern 2.15 und 2.16 geht ferner hervor, daß Gatter zur Realisierung von Antischleifen mit 0-Feldern vor einer „UND"-Ebene liegen, während Gatter für Antischleifen mit 1-Feldern einer „ODER"-Ebene vorausgehen. Eine Mehrebenen-NAND-Schaltung kann man daher durch abwechselndes Bilden von Schleifen um 1- und um 0-Felder entwerfen. Bereits gebildete Schleifen (NAND-Gatter) können als Antischleifen für die folgende Ebene verwendet werden. Dabei müssen alle Karnaugh-Felder erfaßt werden, und in allen 0-Feldern muß schließlich derselbe Gatterbuchstabe stehen. Dieses Gatter liefert dann die gewünschte Funktion.

Falls dieselbe Gatterbenennung, wie zum Beispiel in Bild 2.17, bereits in allen 1-Feldern — und nur in diesen — auftaucht, liegt der bereits in Bild 2.3 behandelte Fall vor. Das betreffende NAND-Gatter gehört einer „UND"-Ebene an, und es muß noch ein Inverter angefügt werden, um die gewünschte Funktion zu erhalten. Durch den Inverter wird dabei nach Bild 2.17 eine 0-Feld-Schleife um sämtliche Karnaugh-Felder realisiert, die von der Antischleife n unterbrochen wird. (Die 0-Feld-Schleife um sämtliche Karnaugh-

Felder und damit $Q_7 = 0$ kann man sich durch den Signalzustand 1 an einem weiteren Eingang von Gatter o bei abgetrenntem Gatter n erzeugt denken; denn jeder Inverter kann als ein NAND-Gatter aufgefaßt werden, dessen übrige Eingänge auf 1 liegen.) Für Bild 2.17 gilt

$$\begin{aligned} m &= \overline{AB}, \\ n &= \overline{Cm}, \\ o &= \overline{1 \cdot n}, \\ Q_7 &= o = \overline{n}. \end{aligned} \tag{2.16}$$

Beim Schleifenbilden kommt es darauf an, alle Felder des Karnaugh-Diagramms mit möglichst wenigen Schleifen, d. h. innerhalb weniger Gatterebenen zu erfassen. Außerdem wird man versuchen, bereits vorhandene Gatter mehrfach zur Bildung von Antischleifen auszunutzen, wie zum Beispiel in Bild 2.15. Dabei kann man auch auf Gatter zurückgreifen, die zwei, vier, sechs usw. Ebenen weiter vorn liegen. Das Eintragen der Gatterbuchstaben in die Karnaugh-Felder ist dabei ein wesentliches Hilfsmittel.

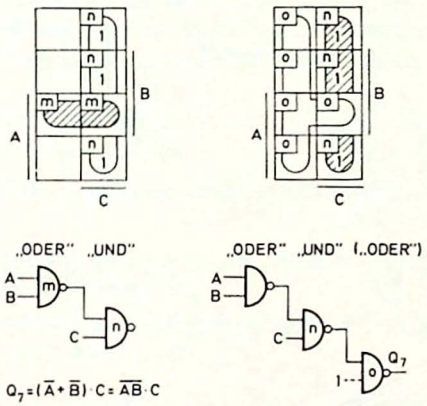


Bild 2.17. Antischleife um 0-Felder zur Unterdrückung unerwünschter 0-Felder in einer 1-Feld-Schleife, sowie Erzeugung eines gleichen Gatterbuchstabens in allen 0-Feldern durch Hinzufügen eines Inverters

In Bild 2.18 soll der Entwurf an einem einfachen Beispiel Schritt für Schritt verfolgt werden. Hierbei und im folgenden werden nur noch die jeweiligen Antischleifen eingezeichnet, während die gebildeten 0-Feld- bzw. 1-Feld-Schleifen aus den Karnaugh-Feld-Beschriftungen für das jeweils zuletzt hinzugefügte NAND-Gatter hervorgehen.

Zunächst bildet man die 1-Feld-Schleife AB, unterbrochen von der Antischleife AC (Bild 2.18a)

$$\begin{aligned} m &= \overline{AC}, \\ n &= \overline{ABm}. \end{aligned}$$

Die durch diese Schreibweise gegebene Vorschrift besagt, in alle Felder der Schleife AB, mit Ausnahme der durch m belegten Felder muß der Gatterbuchstabe n eingetragen werden. Gatter n erfaßt somit die 1 im Feld $AB\overline{C}$. Nun muß man versuchen, die zweite 1 im Feld $\overline{A}\overline{B}C$ zu erzeugen. Die 0-Feld-Schleife B, unterbrochen durch die Antischleife n, erfaßt zunächst die mit o bezeichneten 0-Felder (Bild 2.18b). Es gilt

$$o = \overline{Bn},$$

d. h. alle Felder der Schleife B, bis auf das Feld n, erhalten ein o. Nunmehr stehen mit den Gattern m und o geeignete Antischleifen für das Erfassen der 1 im Feld $\overline{A}\overline{B}C$ zur Verfügung. Nach Bild 2.18c gilt

$$p = \overline{Cmo},$$

d. h. der Gatterbuchstabe p muß in diejenigen Felder der Schleife C eingetragen werden, die nicht durch m oder o belegt sind. Damit ist die zweite 1 des Karnaugh-Diagramms durch das Gatter p erfaßt.

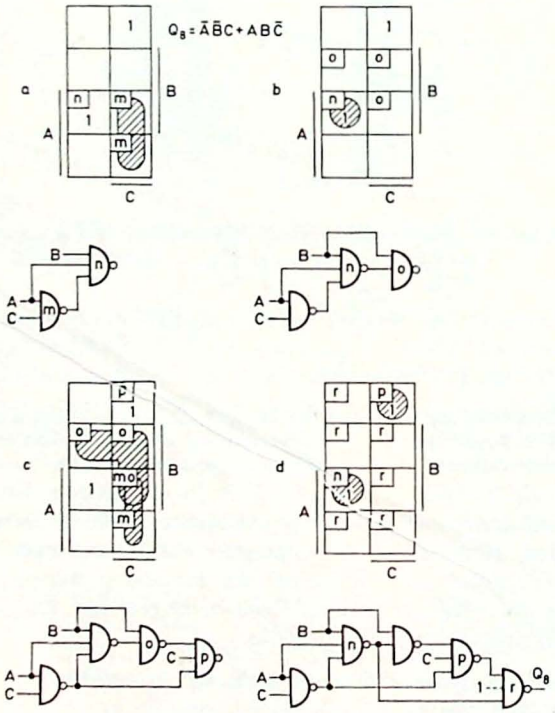


Bild 2.18. Beispiel für den Entwurf einer vermaschten Mehrebenen-NAND-Schaltung durch Ausklammern im Karnaugh-Diagramm

Schließlich erhält man nach Bild 2.18d durch Hinzufügen des Gatters r

$$r = \overline{1 \cdot np}.$$

Das bedeutet, in alle Felder der Schleife 1 mit Ausnahme der Felder n und p muß der Gatterbuchstabe r eingetragen werden. Dabei ist die Schleife 1 durch sämtliche Karnaugh-Felder, d. h. durch eine Schleife um das ganze Karnaugh-Diagramm gegeben. Man kann sie sich durch ein 1-Signal an einem weiteren Eingang des Gatters r bei freibleibenden übrigen Eingängen realisiert denken. Diese Schleife 1 wird hier durch die Antischleifen n und p unterbrochen.

Somit steht in allen 0-Feldern — und nur in diesen — der Buchstabe r. Dieses Gatter bildet daher den Ausgang der Schaltung

$$Q_8 = r.$$

Die Funktion Q_8 läßt sich nach derselben Methode auch mit etwas geringerem Aufwand realisieren [1]. Die hier vorliegende Schaltung erschien jedoch zur Verdeutlichung der Methode besonders geeignet.

Jedes Gatter der Schaltung von Bild 2.18d gehört entweder einer „UND"- oder einer „ODER"-Ebene an. Die Zuordnung kann durch Numerierung der Gatterebenen vom Ausgang her vorgenommen werden (Abschn. 2.1.2). Man erhält

als „ODER"-Ebenen: m, o, r,
als „UND"-Ebenen: n, p.

Durch Vergleich mit der Karnaugh-Feld-Beschriftung ergibt sich die allgemeingültige Regel

NAND-Gatter, deren Benennungen in 0-Feldern stehen, gehören einer „ODER"-Ebene an.

NAND-Gatter, deren Benennungen in 1-Feldern stehen, gehören einer „UND"-Ebene an.

2.2.7.2. Antischleifen um 1-Felder und 0-Felder

Im folgenden soll beim Bilden der Schleifen noch allgemeiner vorgegangen werden. Jede der Antischleifen soll jetzt sowohl 0-Felder als auch 1-Felder enthalten dürfen. Das betreffende NAND-Gatter kann also sowohl für eine „UND"- als auch für eine „ODER"-Ebene oder für mehrere von beiden als Antigatter aufgefaßt werden. Es gibt daher NAND-Gatter, die — vom Ausgang der Schaltung her numeriert — in der einen Masche als „ODER", in einer anderen Masche dagegen als „UND" wirksam werden können. Dadurch kommt die logische Leistungsfähigkeit des NAND-Gatters voll zur Entfaltung. Ob das NAND-Gatter in einer „UND"- oder „ODER"-Ebene wirkt, läßt sich mit Hilfe der Karnaugh-Feld-Beschriftung nach der soeben gegebenen Regel feststellen, es hat jedoch für den Entwurf keine große Bedeutung.

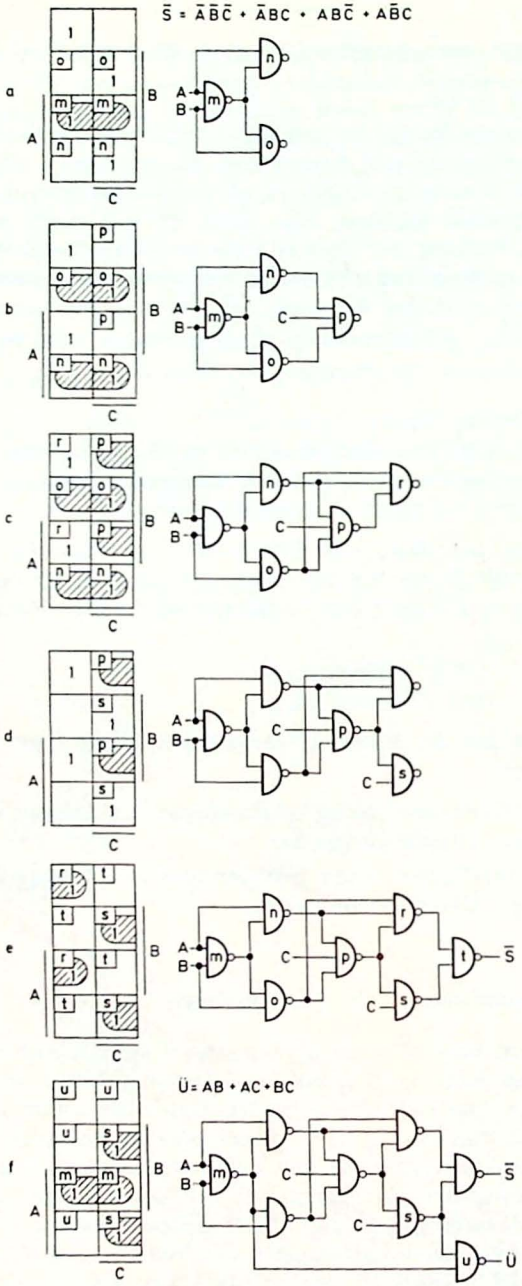


Bild 2.19. Volladdierer als Entwurfs-Beispiel für das Bilden von Antischleifen um 0- und 1-Felder; dadurch gehören manche Gatter (hier m, n und o) sowohl einer „UND"- als auch einer „ODER"-Ebene an

Das Ziel des Entwurfs muß wie im vorigen Abschnitt darin bestehen, alle 0-Felder des Karnaugh-Diagramms mit einem einzigen Gatter zu erfassen. D. h. in allen 0-Feldern, und nur in diesen, muß derselbe Gatterbuchstabe stehen. Dieses Ziel sollte mit möglichst wenig Gatterebenen und unter weitgehender Verwendung bereits vorhandener NAND-Gatter zur Bildung von Antischleifen erreicht werden.

Als Beispiel wird in Bild 2.19 Schritt für Schritt der Entwurf der bekannten vermaschten Mehrebenenschaltung eines Volladdierers vorgeführt. Man geht ebenso vor wie im Fall von Bild 2.18. Die Antischleifen dürfen hier jedoch sowohl 1-Felder als auch 0-Felder umschließen. Das gilt zum Beispiel für die Antischleife AB (Bild 2.19a). Das betreffende Gatter m wirkt dementsprechend in der Masche m — n — r — t (Bild 2.19e) als „UND" (m im 1-Feld) und in der Masche m — n — p — r — t als „ODER" (m im 0-Feld).

Mit den Gattern s und r (Bild 2.19d) hat man alle 1-Felder des Karnaugh-Diagramms erfaßt. Bei der Zusammenfassung durch das Gatter t (Bild 2.19e) erscheint in allen 0-Feldern derselbe Gatterbuchstabe und damit am Ausgang von Gatter t die gewünschte Funktion $\overline{S}$. Bild 2.19f zeigt, wie man den Übertrag mit Hilfe nur eines zusätzlichen Gatters u bilden kann, indem man die vorhandenen Gatter m und s zum Erzeugen von Antischleifen ausnutzt. Hiermit liegt ein Schaltnetz mit zwei Ausgängen vor.

In Bild 2.20 ist als weiteres Beispiel der sogenannte NAND-Baum [1] angegeben, im vorliegenden Fall für drei Variable. Diese universell verwendbare Schaltung liefert an den Ausgängen der NAND-Gatter m bis u die Komplemente der acht Vollkonjunktionen zwischen den drei Variablen A, B und C. Jede Vollkonjunktion entspricht einem Karnaugh-Feld mit dem betreffenden Gatterbuchstaben. Zum Beispiel liefert das Gatter r die Funktion

$$r = \overline{\overline{A}\overline{B}\overline{C}}\,.$$

Beim Entwurf der Schaltung geht man von der Schleife ABC (Gatter m) aus. Die Gatter n, o, p der ersten Ebene entsprechen den drei Zweierschleifen AB, AC und BC, die vom Feld m als Antischleife unterbrochen werden. Die

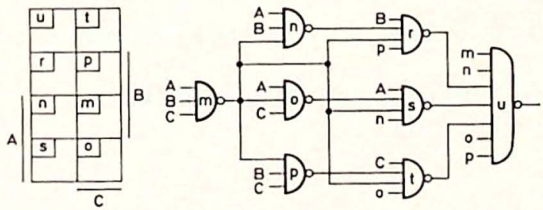


Bild 2.20. NAND-Baum zum Erzeugen aller (invertierten) Vollkonjunktionen (Minterme) von drei Variablen

Gatter r, s, t der nächsten Ebene entsprechen den Viererschleifen B, A und C, wobei jeweils das Gatter m und zwei Gatter der ersten Ebene als Antigatter wirken. Das Gatter u schließlich kann als die Realisierung einer Achterschleife um sämtliche Karnaugh-Felder angesehen werden, wobei die 1-Felder m bis t durch Antischleifen unterdrückt worden sind, so daß nur das 0-Feld u übrigbleibt.

Eine Anwendung des NAND-Baumes zur Realisierung von Schaltnetzen mit mehreren Ausgängen zeigt Bild 2.21. Hier sollen gleichzeitig die Funktionen Q_9, Q_{10} und Q_{11} erzeugt werden [1]. Durch Vergleichen der Karnaugh-Diagramme dieser Funktionen mit Bild 2.20 zeigt sich, daß Q_9 direkt vom Gatter n des NAND-Baumes geliefert werden kann, während zur Bildung von Q_{10} und Q_{11} jeweils zwei der NAND-Baum-Funktionen m, n, o, s durch ein weiteres NAND-Gatter x bzw. y zusammengefaßt werden müssen.

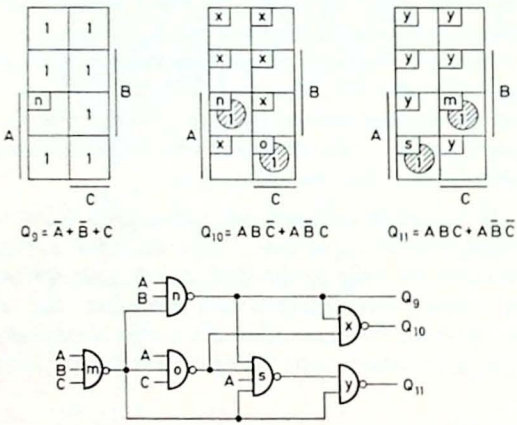


Bild 2.21. Beispiel für die Anwendung des NAND-Baumes bei Schaltnetzen mit mehreren Ausgängen

[1] Maley, G. A.; Earle, J.: The logic design of transistor digital computers,
Prentice-Hall Inc., Englewood Cliffs, New York 1968.

Die verschiedenen Flipfloparten und der logische Entwurf synchroner Schaltwerke

Von K. Lagemann

Inhalt

3.1. Einleitung 78

3.2. Übersicht über die verschiedenen Flipfloparten 80
3.2.1. Klassifizierung, Namen und Symbole 80
3.2.1.0. Allgemeines 80
3.2.1.1. Klasse 1: Speicherflipflops 81
3.2.1.2. Klasse 2: Auffangflipflops 82
3.2.1.3. Klasse 3: Zwischenspeicherflipflops 83
3.2.1.4. Benennung der Eingänge 84
3.2.2. Die Beschreibung von Flipflops durch Wahrheitstabellen 85
3.2.2.1. Definition des Flipflopzustandes 85
3.2.2.2. Synchroner Betrieb von Zwischenspeicherflipflops 85
3.2.2.3. Die Grundform der Wahrheitstabelle 87
3.2.2.4. Weitere Zwischenspeicherflipflop-Typen 88
3.2.2.5. Wahrheitstabellen für Auffangflipflops 89
3.2.2.6. Wahrheitstabellen für Speicherflipflops 90
3.2.2.7. Nicht definiertes Verhalten 91
3.2.2.8. Invertierungsprobleme 92
3.2.3. Die Wirkung des Taktimpulseingangs bei Zwischenspeicherflipflops 93
3.2.3.1. Einflanken- und zweiflankengesteuerte Flipflops 93
3.2.3.2. Asynchroner Betrieb von Zwischenspeicherflipflops 94
3.2.3.3. Interne Strukturen, Master-Slave-Prinzip 95

3.3. Die Berechnung von synchronen Schaltwerken mit vorgegebener Codierung 97
3.3.1. Vereinfachung der Sprechweise, vorgegebene Codierung 97
3.3.2. Übergangskennzeichen und Kennzeichentabelle 98
3.3.3. Die Formulierung des Zählerproblems 100
3.3.4. Die Berechnung des gesuchten Schaltwerks 102
3.3.5. Die „verkürzte Berechnung“ für Schaltwerke aus JK- und D-Flipflops 104
3.3.6. Eine etwas allgemeiner gehaltene Aufgabe 105

Literatur 107

3.1. Einleitung

Das Bild 3.1 a zeigt einen „schwarzen Kasten" mit den Eingangsvariablen $x_1 \ldots x_p$ und den Ausgangsvariablen $z_1 \ldots z_r$ als allgemeinste Form eines Schaltwerks. Jede der Eingangsvariablen kann unabhängig für sich den binären Wert 0 oder 1 annehmen. Jede Kombination der Eingangsvariablen liefert einen sogenannten „Eingangszustand". Bei insgesamt p Eingängen existieren daher 2^p Eingangszustände (input states). Auch die Ausgangsvariablen zeigen einen der Binärwerte 0 oder 1. Bei r Ausgängen sind theoretisch 2^r Ausgangszustände (output states) möglich. Allerdings läßt der interne Aufbau des „schwarzen Kastens" im allgemeinen nicht alle der theoretisch möglichen Ausgangszustände zu.

In Bild 3.1 b ist ein sogenannter Volladdierer als Beispiel für ein „kombinatorisches Schaltwerk" gezeigt. Die Einzelheiten dieses Volladdierers sind in diesem Zusammenhang unwichtig. Bei einem kombinatorischen Schaltwerk zieht jeder Eingangszustand einen einzigen bestimmten Ausgangszustand nach sich.

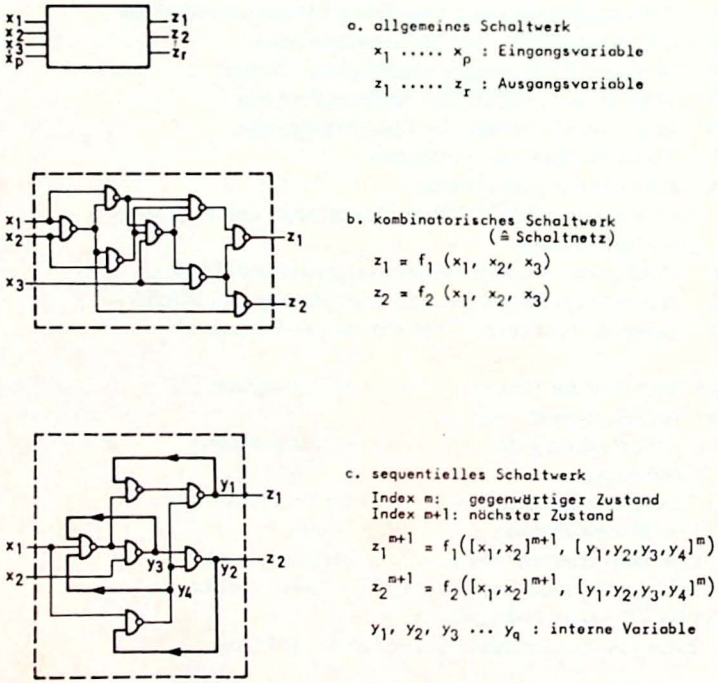


Bild 3.1. Kombinatorische und sequentielle Schaltwerke

Bei einem sequentiellen Schaltwerk existieren innerhalb des „schwarzen Kastens" einige Rückkopplungen, die am Beispiel des Bildes 3.1 c durch Fettdruck hervorgehoben sind. Nunmehr kann ein bestimmter Eingangszustand „je nach Vorgeschichte" verschiedene Ausgangszustände nach sich ziehen.

Meistens beschreibt man dieses Verhalten durch den zusätzlichen Begriff der „internen Variablen" y. Dabei wird jeder Rückkopplungslinie genau eine interne Variable zugeordnet. Es existieren dann bei q verschiedenen internen Variablen insgesamt 2^q „interne Zustände" (internal states). Im allgemeinen können einige der internen Variablen gleiches oder zueinander komplementäres Verhalten zeigen, so daß die Anzahl der voneinander wirklich verschiedenen internen Variablen geringer ist, als es die Anzahl der Rückkopplungen vermuten läßt. Das Bild 3.1 c zeigt auch, daß einige der internen Variablen mit Ausgangsvariablen identisch sein können (z. B. ist im vorliegenden Fall $y_1 = z_1$ sowie $y_2 = z_2$).

Mit Hilfe der Begriffe „interne Variable" und „interner Zustand" läßt sich ein sequentielles Schaltwerk wie folgt beschreiben:

Zu einem „gegenwärtigen Zeitpunkt t_m" befinde sich das Schaltwerk in Ruhe. Alle Eingangs- und Ausgangsvariablen sowie alle internen Variablen führen einen der Binärwerte 0 und 1. Wird jetzt der Eingangszustand geändert, so geht das Schaltwerk in einen neuen Zustand über, der im „nächsten Zeitpunkt t_{m+1}" offenbar wird. Der gesuchte „nächste Ausgangszustand" (zum Zeitpunkt t_{m+1}) hängt eindeutig ab von dem eben eingestellten „nächsten Eingangszustand" (zum Zeitpunkt t_{m+1}) und dem ursprünglichen internen Zustand (zum Zeitpunkt t_m). Oder anders ausgedrückt: Ein „gegenwärtiger interner Zustand" und ein „nächster Eingangszustand" definieren eindeutig den „nächsten Ausgangszustand" und den „nächsten internen Zustand".

Für eine genauere und ausführlichere Beschreibung dieser Zusammenhänge sei auf die einschlägige Literatur verwiesen ([1] bis [3]).

Das Bild 3.2 weist darauf hin, daß ein sequentielles Schaltwerk auch dann vorliegt, wenn ein „schwarzer Kasten" mehrere untereinander verknüpfte sequentielle Teilschaltwerke enthält.

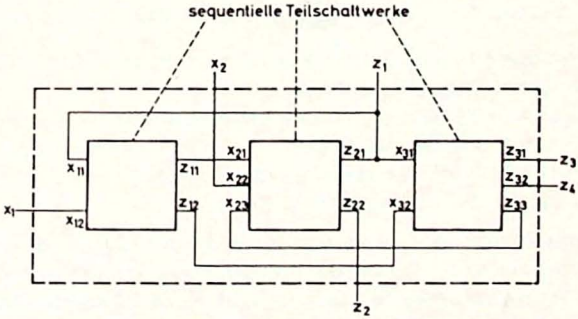


Bild 3.2. Sequentielles Schaltwerk, bestehend aus sequentiellen Teilschaltwerken

Der folgende Abschnitt 3.2 bezieht sich auf sequentielle Schaltwerke in der Art des Bildes 3.1 c, und zwar auf deren einfachste Form, die sogenannten Flipflops. Dabei soll lediglich eine Übersicht über die Funktionsweise der bekanntesten Flipfloparten gegeben werden. Dagegen würde die Beschreibung von Synthesemethoden, etwa zur Berechnung der internen logischen Struktur von Flipflops mit vorgegebenem funktionellen Verhalten, den gestellten Rahmen sprengen [1].

Der Abschnitt 3.3 behandelt Schaltwerke in der Art des Bildes 3.2. Insbesondere sollen die Teilschaltwerke als Flipflops in sogenannten synchron gesteuerten Schaltwerken aufgefaßt werden. Hierbei lassen sich einfache, exakte Berechnungsmethoden zur Synthese von größeren Schaltwerken aus Flipflops, insbesondere zur Synthese von „synchronen Zählern", angeben.

3.2. Übersicht über die verschiedenen Flipfloparten

Vor Einführung der integrierten Schaltungstechnik wurde unter einem Flipflop in der Regel eine bistabile Schaltung aus zwei kreuzgekoppelten Transistoren sowie einigen passiven Bauelementen verstanden, die in der Lage war, kurzzeitig angebotene Spannungsimpulse als Dauersignale zu speichern. Heutzutage versteht man ein Flipflop in erster Linie als logisch wirkende Funktionseinheit, die den Binärwert 0 oder 1 speichern kann. Die Einheit wird als „schwarzer Kasten" aufgefaßt und durch den Zusammenhang zwischen Eingangs- und Ausgangsvariablen beschrieben. Dabei existieren viele Variationen, die eine Gliederung nach bestimmten funktionellen Gesichtspunkten wichtig erscheinen lassen.

3.2.1. Klassifizierung, Namen und Symbole

3.2.1.0. Allgemeines

Die Vielzahl verschiedener Flipflops läßt sich in drei Klassen gliedern:

Klasse 1: Flipflops ohne Zwischenspeicher und ohne Taktimpulseingang (genannt: Speicherflipflops)
Klasse 2: Getaktete Flipflops ohne Zwischenspeicher (genannt: Auffangflipflops)
Klasse 3: Getaktete Flipflops mit Zwischenspeicher (genannt: Zwischenspeicherflipflops)

Innerhalb jeder Klasse gibt es verschiedene Flipfloptypen, die durch spezielle Buchstabensymbole und Wahrheitstabellen voneinander unterschieden werden. In den folgenden Abschnitten wird auf sie nur soweit eingegangen, wie es zur Kennzeichnung der Klassenmerkmale notwendig erscheint.

3.2.1.1. Klasse 1: Speicherflipflops

Der einfachste bekannte Typ innerhalb dieser Klasse besteht aus zwei kreuzgekoppelten NOR-Gattern (Bild 3.3) und heißt NOR-Basisflipflop. Dieses Flipflop dient im wesentlichen als Speicher für kurzzeitig an den Eingängen S oder R angebotene Informationen.

Aus dem in Bild 3.3 angegebenen Impulsdiagramm geht hervor, daß das Flipflop zum Beispiel durch das Signal $S = 1$ (bei $R = 0$) in den Zustand $Q_1 = 1$, $Q_2 = 0$ gekippt wird. Als Symbol für ein Speicherflipflop hat sich ein geteiltes Rechteck eingebürgert.

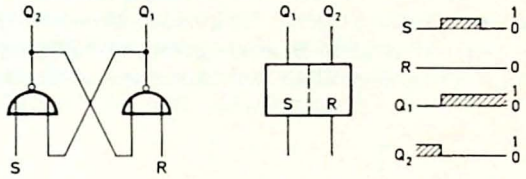


Bild 3.3. NOR-Basisflipflop (interner Aufbau, Symbol und Impulsdiagramm)

Meistens werden häufig verwendete Flipfloptypen durch bestimmte Buchstabensymbole an den Eingängen gekennzeichnet und nach ihnen benannt. Der vollständige Name für die Anordnung nach Bild 3.3 wäre daher SR-NOR-Basisflipflop. Einige andere bekanntgewordene Begriffe, wie latch-flipflop, asynchrones Flipflop, storage element, beziehen sich teils nur auf das Basisflipflop, teils auf alle Typen dieser Klasse. Bezeichnungen wie SR-Flipflop oder RS-Flipflop sind unvollständig und lassen Verwechslungen mit gleichnamigen Flipfloptypen anderer Klassen zu.

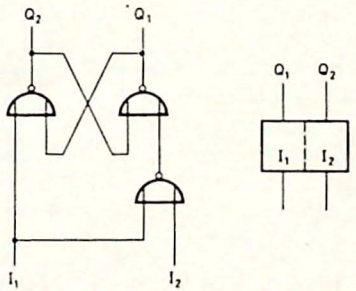


Bild 3.4.
Ein weiteres Speicherflipflop

Bei weniger bekannten Flipfloptypen werden allgemeine Buchstabensymbole (I_1 = Input 1; I_2 = Input 2) benutzt (Bild 3.4).

3.2.1.2. Klasse 2: Auffangflipflops

Durch zwei zusätzliche UND-Gatter läßt sich nach Bild 3.5 das NOR-Basisflipflop um einen Taktimpulseingang CP erweitern. Die Eingänge S und R wirken nicht mehr unmittelbar, sondern nur noch im Zusammenspiel mit dem Taktimpulseingang auf das Flipflop. Das Impulsdiagramm zeigt, daß dieses Flipflop erst beim Erscheinen des Taktimpulses in den durch die Signale S und R vorgegebenen Zustand kippt. Sein Haupteinsatzgebiet liegt bei Elektronenrechnern. Dort können in verschiedenen, parallel angeordneten Gatterkaskaden beträchtliche Laufzeitunterschiede auftreten, die sich mit Hilfe von synchronisierenden Taktimpulssignalen und anschließender Speicherung auffangen lassen. Auf dieses Anwendungsgebiet bezieht sich der hier vorgeschlagene Name „Auffangflipflop" (englisch: staticizor, neuerdings auch: latch-flipflop). Der oft verwendete Begriff „getaktetes Flipflop" schafft leider keine saubere Abgrenzung gegenüber den Zwischenspeicherflipflops.

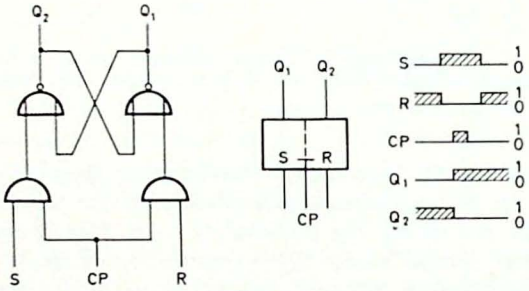


Bild 3.5. SR-Auffangflipflop (interner Aufbau, Symbol und Impulsdiagramm)

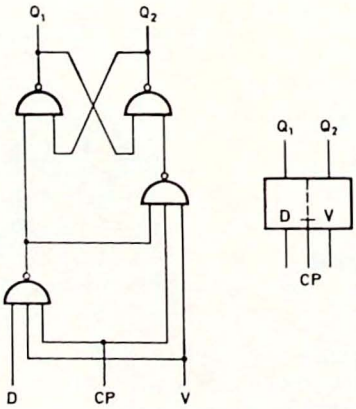


Bild 3.6. DV-Auffangflipflop (interner Aufbau und Symbol)

Der Taktimpulseingang wird in der Mittellinie des Flipflopsymbols angeordnet. Er verändert gegenüber dem Basisflipflop nicht die eigentliche Speicherfunktion. Daher werden wieder die Buchstabensymbole S und R benutzt. Die Anordnung nach Bild 3.5 erhält den Namen „SR-Auffangflipflop".

In Bild 3.6 ist mit dem DV-Auffangflipflop ein weiterer, ebenfalls in Computern eingesetzter Typ dieser Klasse aufgezeigt.

3.2.1.3. Klasse 3: Zwischenspeicherflipflops

Im Bereich der Zähler einschließlich der Schieberegister wird oftmals an einem Flipflop gleichzeitig Information angeboten und abgefragt. Die neu zugeführte Information wird in einem Zwischenspeicher solange aufbewahrt, bis die vorhergehende sicher ausgelesen wurde (Bild 3.7). Als „Hauptspeicher" dient das Basisflipflop eines SR-Auffangflipflops. Wesentlich am Impulsdiagramm von Bild 3.7 ist, daß das Kippen des Flipflops in den durch die

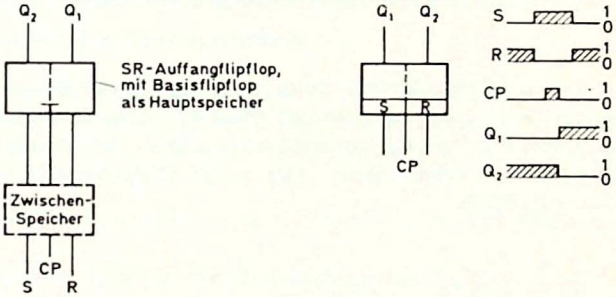


Bild 3.7. SR-Zwischenspeicherflipflop (interner Aufbau, Symbol und Impulsdiagramm)

Signale S und R vorbereiteten Zustand im Gegensatz zum Auffangflipflop erst am Ende des Taktimpulses erfolgt. Der vorangeschaltete Zwischenspeicher braucht im Prinzip nur eine definierte Signalverzögerung, zum Beispiel mit Hilfe eines Kondensators, zu schaffen. In der Technik der integrierten Schaltungen wird aber als Zwischenspeicher oft auch das Basisflipflop eines weiteren Auffangflipflops verwendet (Bild 3.8). Durch zusätzliche Gatter läßt sich eine große Anzahl verschiedener Flipfloptypen gewinnen.

In der Literatur gibt es für das Zwischenspeicherflipflop auch die Namen „getaktetes Flipflop", „Zwei-Speicher-Flipflop" und „synchrones Flipflop". Bestimmte Typen innerhalb dieser Klasse werden, solange die Eindeutigkeit nicht leidet, kurz zum Beispiel als „JK-Flipflop" anstelle des umständlicheren „JK-Zwischenspeicherflipflop" bezeichnet.

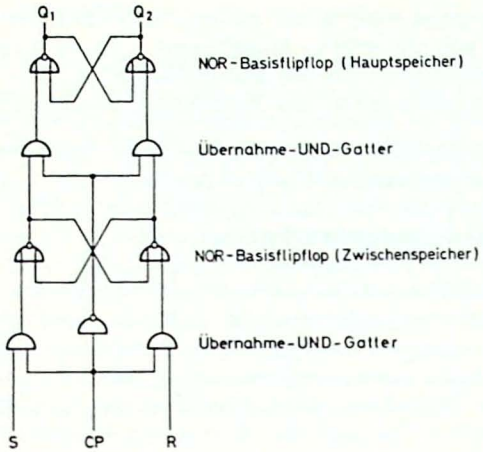


Bild 3.8. Zwischenspeicherflipflop aus Gattern

Im Flipflopsymbol wird die Unterteilung in Haupt- und Zwischenspeicher durch eine waagerechte Linie angedeutet (Bild 3.7). Der Taktimpulseingang von Zwischenspeicherflipflops sei zunächst ohne nähere Erklärung durch eine bis zum Hauptspeicher durchgezogene Linie in der Mitte des Symbols wiedergegeben (s. Abschnitt 3.2.3).

3.2.1.4. Benennung der Eingänge

Die Flipflopeingänge haben teilweise unterschiedliche Bedeutung:

a) Direkteingänge (Setzeingänge) wirken unmittelbar auf die kreuzgekoppelten Gatter des Speicherflipflops, wie zum Beispiel die Eingänge S und R des Flipflops in Bild 3.3.

b) Taktimpulseingänge finden sich bei den Auffang- und bei den Zwischenspeicherflipflops. Sie haben nur auslösende Bedeutung (s. Punkt c), wie zum Beispiel aus den Bildern 3.5 und 3.7 hervorgeht. Taktimpulseingänge repräsentieren dagegen nicht eine bestimmte logische Funktion.

c) An Bedingungseingängen werden die Signale bereitgestellt, die durch den nächsten Taktimpuls ausgelöst und in das Flipflop übernommen werden (s. Bild 3.5 und 3.7).

Zwischenspeicherflipflops sind oft zusätzlich mit Direkteingängen ausgerüstet. Bei den meisten der auf dem Markt angebotenen Zwischenspeicherflipflops wirken die Signale an den Direkteingängen unmittelbar auf den Haupt-

speicher und überspielen damit alle an den übrigen Eingängen angebotenen Informationen. Dieses Verhalten wird durch das Symbol nach Bild 3.9 veranschaulicht.

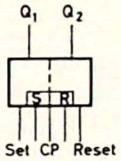


Bild 3.9.
Symbol für ein SR-Zwischenspeicherflipflop mit zusätzlichen Direkteingängen

Zur deutlichen Unterscheidung gegenüber den Bedingungseingängen sind manchmal, insbesondere beim SR-Zwischenspeicherflipflop, anstelle einfacher Buchstabenbezeichnungen die ausführlicheren Benennungen „Set" und „Reset" oder auch „Preset" und „Preclear" zweckmäßig.

3.2.2. Die Beschreibung von Flipflops durch Wahrheitstabellen.

3.2.2.1. Definition des Flipflopzustands

Ein Flipflop befinde sich im Zustand $Q = 1$, wenn sein Ausgang Q_1 im Zustand 1 **und** sein Ausgang Q_2 im Zustand 0 ist. Entsprechend befinde sich ein Flipflop im Zustand $Q = 0$, wenn sein Ausgang Q_1 den Zustand 0 **und** sein Ausgang Q_2 den Zustand 1 annimmt.

Die Flipflopzustände $Q = 1$ und $Q = 0$ heißen „reguläre Flipflopzustände".

3.2.2.2. Synchroner Betrieb von Zwischenspeicherflipflops

Eine synchrone Schaltung enthält eine Reihe von Zwischenspeicherflipflops, deren Taktimpulseingänge an eine gemeinsame Taktquelle angeschlossen sind (Bild 3.10). Die Signale der Flipflopausgänge werden in ein kombinatorisches Schaltwerk geführt, dort über Gatter verknüpft und an die Be-

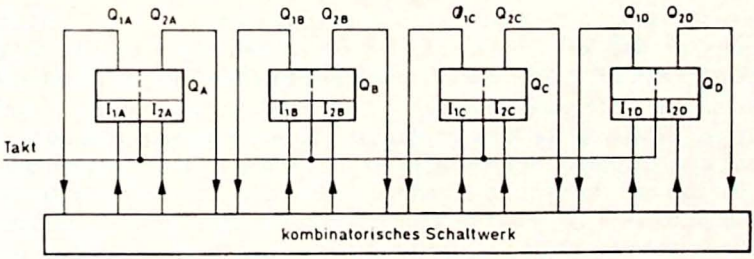


Bild 3.10. Allgemeine synchrone Schaltung für Zwischenspeicherflipflops mit nur einer Taktquelle

dingungseingänge zurückgeleitet. Auf diese Weise bereitet eine bestehende Kombination von Flipflopstellungen die folgende vor, die dann durch den nächsten Taktimpuls ausgelöst wird.

Da das Wechselspiel zwischen Vorbereitung an den Bedingungseingängen und Auslösung durch den Taktimpuls von grundlegender Bedeutung für den synchronen Betrieb ist, seien einige Zeitbegriffe an der speziellen Schaltung nach Bild 3.11 a erläutert. Die Eingänge J_b und K_b des zweiten sogenannten JK-Flipflops seien miteinander verbunden und in der angegebenen Weise mit dem Ausgang Q_{1a} verknüpft. Ein JK-Flipflop wird nun durch einen Taktimpuls in den entgegengesetzten Zustand gekippt, wenn zum Zeitpunkt seines Eintreffens an den Bedingungseingängen J und K das Signal 1 anliegt. Führen dagegen die Eingänge J und K bei der Ankunft eines Taktimpulses das Signal 0, so bleibt der Zustand des Flipflops unbeeinflußt. Es sei vorausgesetzt, daß der Taktimpuls beim 1/0-Sprung (Rückflanke) wirksam ist. Den Eingängen J_a und K_a wird ständig das Signal 1 zugeführt.

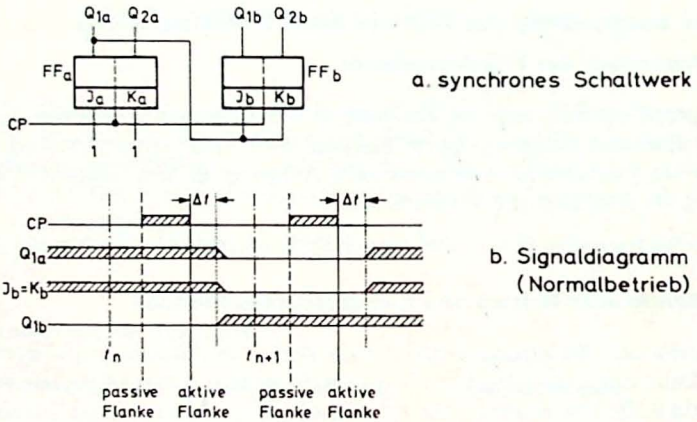


Bild 3.11. Signaldiagramm für synchronen Betrieb

Das Signaldiagramm nach Bild 3.11 b zeigt in der Zeile CP zwei aufeinanderfolgende Taktimpulse. Vor Erscheinen des ersten Taktimpulses möge sich das Flipflop FF_a im Zustand $Q_a = 1$ und das Flipflop FF_b im Zustand $Q_b = 0$ befinden. Alle Bedingungseingänge J und K führen das Signal 1. Am Ende des ersten Taktimpulses kippen daraufhin beide Flipflops nach einer durch Laufzeiten bedingten Verzögerungszeit Δt jeweils in den entgegengesetzten Zustand. Damit erhalten die Eingänge J_b und K_b eine neue Signalvorbereitung, nämlich $J_b = K_b = 0$. Die Flipflops müssen nun derart aufgebaut sein, daß sich die neue Signalvorbereitung nicht unmittelbar, sondern erst am Ende des nächsten Taktimpulses auswirken kann. Dies wird möglich durch den eingebauten Zwischenspeicher.

Die Beschreibung des synchronen Betriebs läßt sich durch den Begriff der „Bitzeit" vereinfachen [4]. Die Bitzeit t_n ist der Zeitraum vor Eintreffen des nächsten Taktimpulses, zu dem die Signalvorbereitungen an den Bedingungseingängen bereits abgeschlossen sind. Die Bitzeit t_{n+1} ist der Zeitraum nach Abklingen des nächsten Taktimpulses und der durch ihn hervorgerufenen Signaländerungen.

Die in der Bitzeit t_n bestehenden Flipflopzustände und Signale an den Bedingungseingängen besagen bei einem gegebenen Flipfloptyp eindeutig, welcher Flipflopzustand nach dem nächsten Taktimpuls, also in der Bitzeit t_{n+1}, vorzufinden sein wird.

Dieser Zusammenhang läßt sich formal durch folgende Beziehung ausdrücken

$$Q^{n+1} = f\,(Q, I_1, I_2 \ldots)^n.$$

3.2.2.3. Die Grundform der Wahrheitstabelle

Die Grundform der Wahrheitstabelle sei anhand des eben erwähnten JK-Flipflops beschrieben (Tabelle 3.1):

Tabelle 3.1:

t_n		t_{n+1}
J	K	Q
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q}^n$

Die Bitzeiten vor und nach der Ankunft des nächsten Taktimpulses erscheinen als Kopfüberschriften t_n und t_{n+1}. Entsprechend beziehen sich die in den Spalten J und K angegebenen Werte auf die vier zur Bitzeit t_n möglichen Signalkombinationen. Jede von ihnen veranlaßt das Flipflop beim Eintreffen des Taktimpulses zu einer ganz bestimmten Reaktion, die in der Bitzeit t_{n+1} ablesbar ist. Im einzelnen haben die Eintragungen der Ergebnisspalte t_{n+1} folgende Bedeutung:

a) $Q^{n+1} = Q^n$: Der Flipflopzustand ist zur Bitzeit t_{n+1} identisch mit dem zur Bitzeit t_n.

b) $Q^{n+1} = 0$: In der Bitzeit t_{n+1} befindet sich das Flipflop im Zustand 0. Dabei ist gleichgültig, welcher Flipflopzustand in der Bitzeit t_n vorgelegen hat.

c) $Q^{n+1} = 1$: In der Bitzeit t_{n+1} befindet sich das Flipflop im Zustand 1. Dabei ist gleichgültig, welcher Flipflopzustand in der Bitzeit t_n vorgelegen hat.

d) $Q^{n+1} = \overline{Q}^n$: In der Bitzeit t_{n+1} nimmt das Flipflop den entgegengesetzten Zustand gegenüber dem ein, der zur Bitzeit t_n zu beobachten war.

3.2.2.4. Weitere Zwischenspeicherflipflop-Typen

Durch Variation der Eintragungen in der Ergebnisspalte lassen sich in der Wahrheitstabelle verschiedene Flipfloptypen unterscheiden.

Einen wichtigen Grundtyp bildet das D-Flipflop. Es hat nur einen einzigen Bedingungseingang D. Die diesem Eingang zur Bitzeit t_n zugeführten Signale erscheinen nach dem nächsten Taktimpuls unmittelbar am Ausgang Q_1 (Bild 3.12 a). Solche Flipflops bilden das Grundelement für Schieberegister.

Der zweite Grundtyp ist das T-Flipflop (Bild 3.12 b). Wird dem Bedingungseingang T zur Bitzeit t_n das Signal 1 zugeführt, kippt das Flipflop bei dem nächsten Taktimpuls in die jeweils entgegengesetzte Lage ($Q^{n+1} = \overline{Q}^n$). Im anderen Fall, nämlich bei $T^n = 0$, bleibt der Zustand des Flipflops unverändert ($Q^{n+1} = Q^n$).

Kompliziertere bistabile Kippstufen vereinigen in unterschiedlicher Weise die Eigenschaften des D-Flipflops und des T-Flipflops miteinander. Eine unvollkommene Lösung bildet das SR-Zwischenspeicherflipflop nach Bild 3.12 c.

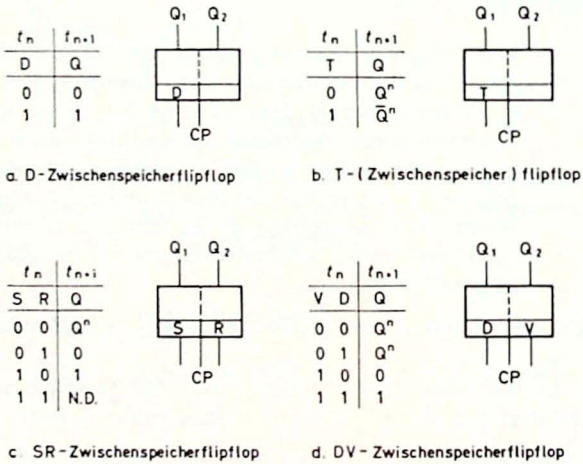


Bild 3.12. Verschiedene Zwischenspeicherflipflop-Typen

Wenn seinen beiden Bedingungseingängen S und R gleichzeitig das Signal 1 zugeführt wird, ergibt sich beim nächsten Taktimpuls ein undefiniertes Verhalten, in der Wahrheitstabelle mit N. D. (not defined) bezeichnet. Daher ist auch die wesentliche Eigenschaft des T-Flipflops, nämlich das Kippen in die jeweils entgegengesetzte Lage, beim SR-Zwischenspeicherflipflop nur mit Hilfe zusätzlicher Gatter erreichbar.

Beim JK-Flipflop dagegen steht anstelle von N. D. die Eintragung $\overline{Q}^n$, so daß hier alle Möglichkeiten des D- und des T-Flipflops miteinander vereinigt sind. Es hat daher als Universalelement entscheidende Bedeutung in digitalen Baustein-Systemen erlangt.

Trotzdem ist das JK-Flipflop nur eines von vielen möglichen Universalflipflops. Einen in mancher Beziehung noch besseren Flipfloptyp bildet unter anderem das DV-Flipflop (Bild 3.12 d) [5]. Allerdings sind die Verbesserungen nicht so entscheidend, daß dieser Flipfloptyp sich gegenüber dem weltweit anerkannten und einheitlich eingeführten JK-Flipflop durchsetzen wird.

Über weitere Flipfloptypen berichtet die Literatur ([6] bis [9]).

3.2.2.5. Wahrheitstabellen für Auffangflipflops

Ähnlich wie bei den Zwischenspeicherflipflops sind die Wahrheitstabellen auch bei den Auffangflipflops nur für den synchronen Betrieb definiert. Die Ausgänge dieser Flipflops dürfen nicht auf die Bedingungseingänge anderer Flipflops zurückgekoppelt sein, sofern diese vom gleichen Taktimpuls gesteuert werden. Ein synchroner Schaltkreis muß daher, wie in Bild 3.13 dar-

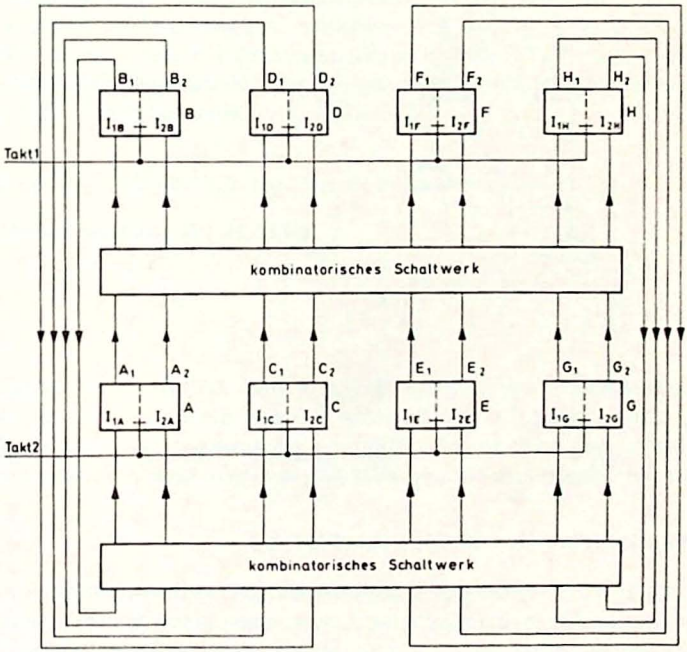


Bild 3.13. Allgemeine synchrone Schaltung für Auffangflipflops mit mindestens zwei Taktquellen

gestellt, von mindestens zwei Taktquellen gespeist werden, die niemals gleichzeitig Impulse abgeben dürfen.

Da genau wie bei den Zählflipflops ein Wechselspiel zwischen Vorbereitung an den Bedingungseingängen und Auslösung durch den Taktimpuls stattfindet, gelten auch die gleichen Zeitbegriffe. Der Wahrheitstabelle allein ist daher nicht zu entnehmen, ob sie ein Zwischenspeicherflipflop oder ein Auffangflipflop wiedergibt. Daher gehören zur Beschreibung eines Flipflops stets Wahrheitstabelle und Symbol zusammen.

Weil der Zwischenspeicher fehlt, dürfen keine Verbindungen (weder intern noch extern) zwischen den Ausgängen und den Eingängen des Flipflops bestehen. Solche Verbindungen sind erforderlich, wenn ein Kippen des Flipflops in den jeweils entgegengesetzten Zustand ($Q^{n+1} = \overline{Q}^{n}$) gefordert wird. Hierzu muß nämlich der bestehende Zustand Q^n an den Ausgängen abgefragt und mit in die Eingangsbedingungen aufgenommen werden. Daher können in der Klasse der Auffangflipflops keine Wahrheitstabellen mit der Eintragung $\overline{Q}^{n}$ existieren. Beispielsweise ist somit kein JK-Auffangflipflop möglich. Weitaus am bekanntesten ist das schon in Bild 3.5 erwähnte SR-Auffangflipflop. Eine gewisse praktische Bedeutung hat auch das in manchen

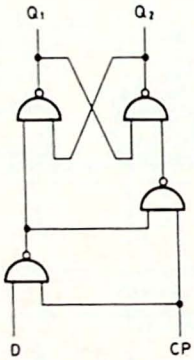


Bild 3.14. D-Auffangflipflop

Elektronenrechnern verwendete Prinzip des DV-Auffangflipflops erlangt (Bild 3.6). Die einfachste Ausführung ist das D-Auffangflipflop (Bild 3.14). Zum Beispiel sind vier solcher Flipflops als sogenanntes 4 Bit - Auffangregister unter der Typenbezeichnung FCJ 221 in einem Gehäuse zusammengefaßt.

3.2.2.6. Wahrheitstabellen für Speicherflipflops

Obwohl die in den vorhergehenden Abschnitten erläuterte Form der Wahrheitstabelle nur für synchronen bzw. taktgesteuerten Betrieb von Flipflops angeführt wurde, wird sie oft — und teilweise etwas gewaltsam — auch zur Beschreibung von Speicherflipflops benutzt. Zwangsläufig ergibt sich, insbesondere bei den Zeitbegriffen, die Gefahr von Mißverständnissen und Fehl-

Tabelle 3.2:

t_m		
S	R	Q
0	0	Q^{m-1}
0	1	0
1	0	1
1	1	N. D.

deutungen. Die nach Ansicht des Verfassers beste Form ist in der Tabelle 3.2 für das NOR-Basisflipflop nach Bild 3.3 wiedergegeben: Alle Spalten beziehen sich auf denjenigen Zeitpunkt t_m, zu dem sich ein Eingangssignal geändert hat und die Reaktion des Flipflops auf diese Änderung hin abgeschlossen ist. Die Eintragung Q^{m-1} besagt dann, daß das Flipflop nach Einstellung der Signalkombination S = R = 0 denselben Zustand aufweist, den es schon zu einem Zeitpunkt t_{m-1} vor dieser Einstellung innehatte. Im Gegensatz zur Darstellung synchron betriebener Flipflops wird in den Kopfüberschriften der Wahrheitstabellen von Speicherflipflops nur ein einziger Zeitpunkt t_m genannt. Eine genauere Behandlung dieses Themas findet sich in der Literatur [10].

3.2.2.7. Nicht definiertes Verhalten

Die bei SR-Flipflops angegebenen N.D.-Bedingungen besagen, daß die Signalkombination S = R = 1 nicht angewendet werden soll, da „nicht definiertes" Verhalten zu erwarten ist. Im einzelnen gilt dabei folgendes:

Bei Zwischenspeicher- und Auffangflipflops ist bei der Signalvorbereitung S = R = 1 nicht vorauszusagen, welchen der beiden regulären Zustände Q = 0 oder Q = 1 das Flipflop nach dem nächsten Taktimpuls einnehmen wird. In der Wahrheitstabelle kann man dies durch ein Fragezeichen anstelle des N.D.-Zeichens andeuten (Tabelle 3.3 a).

Tabelle 3.3: Nicht definiertes Verhalten von Flipflops

t_n		t_{n+1}
S	R	Q
0	0	Q^n
0	1	0
1	0	1
1	1	?

a. Zwischenspeicher- und Auffangflipflop mit nicht vorhersagbarem Zustand

t_m		
S	R	Q
0	0	Q^{m-1}
0	1	0
1	0	1
1	1	irr

irr ≙ $Q_1 = Q_2 = 0$

b. Speicherflipflop mit irregulärem Zustand

t_m		
S	R	Q
0	0	Q^{m-1}
0	1	0
1	0	1
1	1	n.s.

c. Speicherflipflop mit sinnlosem Zustand

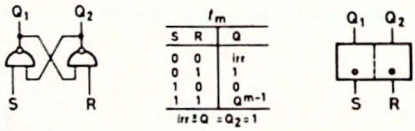
Bei Speicherflipflops führt die Eingangskombination S = R = 1 zu einem „irregulären Zustand", bei dem beide Flipflopausgänge dasselbe Signal 0 führen. In der Wahrheitstabelle ist daher das Symbol „irr" eingetragen. Zusätzlich ist die exakte Bedeutung des irregulären Zustands durch den Hinweis irr $\triangleq Q_1 = Q_2 = 0$ erläutert (Tabelle 3.3 b).

Es existieren Speicherflipflops, bei denen die Signale S = R = 1 an den Ausgängen undefinierte Signale hervorrufen. Dabei liegt die elektrische Ausgangsspannung zwischen den Werten, die normalerweise die Binärwerte 0 und 1 repräsentieren [11]. In diesem Fall sollte man in die Wahrheitstabelle ein n. s. (no sense = nicht sinnvoll) eintragen (Tabelle 3.3 c).

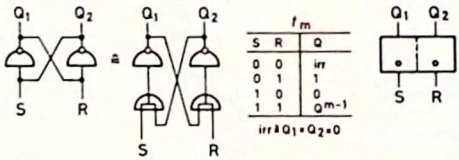
Irrtümlicherweise wird oft angenommen, daß die N. D. - Bedingung des Basisflipflops auf das unbekannte Verhalten des Flipflops bei gleichzeitigem Signalwechsel von S = R = 1 nach S = R = 0 zurückzuführen sei. Es läßt sich nachweisen, daß gleichzeitiger Signalwechsel an Speicherflipflops zwar oft zu unbekanntem Flipflopverhalten führt. Das hat jedoch nichts mit der am Basisflipflop zu beobachtenden N. D. - Bedingung zu tun [10].

3.2.2.8. Invertierungsprobleme

In der Praxis tritt sehr oft das NAND-Basisflipflop auf (Bild 3.15 a). Die zugehörige Wahrheitstabelle läßt erkennen, daß sich das Flipflop bei der Signalkombination S = R = 1 im speichernden Zustand befindet. Es wird, bildlich gesprochen, durch das Signal S = 0 in den Zustand Q = 1 gesetzt und durch das Signal R = 0 in den Zustand Q = 0 zurückgesetzt. Man steuert also sozusagen mit „Nullpotentialen". Dies läßt sich, falls nötig, durch zusätzliche kleine Kreise im Flipflopsymbol veranschaulichen („level indicator"). Diese Kreise sind nicht als logische Inverter aufzufassen; und sie dürfen daher auch nicht direkt in die Eingangskennlinien der Eingänge S und R gezeichnet werden [10].



a. NAND - Basisflipflop



b. Wired-AND - Basisflipflop

Bild 3.15. Basisflipflops aus NAND-Gattern

Interessant ist auch das Flipflop aus zwei Invertern nach Bild 3.15 b, das ein anderes irreguläres Verhalten als das NAND-Basisflipflop aufweist.

3.2.3. Die Wirkung des Taktimpulseingangs bei Zwischenspeicherflipflops

3.2.3.1. Einflanken- und zweiflankengesteuerte Flipflops

Bei der Beschreibung des synchronen Betriebs in Abschnitt 3.2.2.2 wurde deutlich, daß sich Signaländerungen an den Bedingungseingängen im Anschluß an die aktive Flanke des Taktimpulses abspielen, so wie es in Bild 3.16 b noch einmal dargestellt ist. Wird nun die Taktfrequenz ohne Änderung der Taktimpulsbreite ständig erhöht, so rücken die aktive Flanke

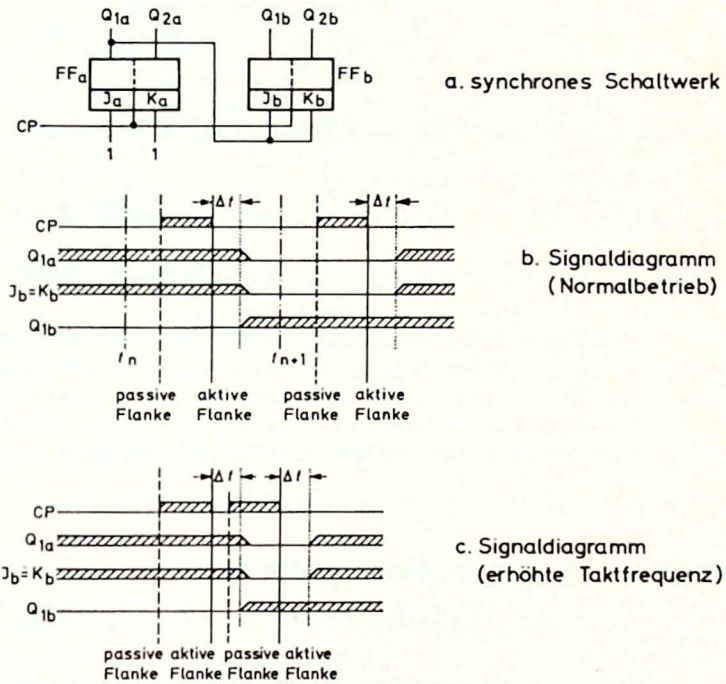


Bild 3.16. Signaldiagramme für synchronen Betrieb

und die nächste passive Flanke immer dichter aneinander heran, bis schließlich die durch Laufzeiten verzögerten Reaktionen des Flipflops nach der aktiven Flanke noch nicht abgeschlossen sind, während die nächste passive Flanke schon eingetroffen ist (Bild 3.16 c). Nun lassen sich zwei Fälle unterscheiden:

1. Die durch eine aktive Flanke hervorgerufenen Signaländerungen brauchen erst kurz vor der nächsten aktiven Flanke abgeschlossen zu sein. Die dazwischen liegende passive Flanke spielt funktionell gesehen keine Rolle.
   Flipflops mit solchem Verhalten werden als „einflankengesteuert" bezeichnet.

2. Die durch eine aktive Flanke hervorgerufenen Signaländerungen müssen schon kurz vor der nächsten passiven Flanke abgeschlossen sein. Signalwechsel zwischen der passiven und der nächsten aktiven Flanke führen zu Fehlreaktionen des Flipflops. Da beide Taktimpulsflanken beim Entwurf sequentieller Schaltwerke berücksichtigt werden müssen, erscheint für solche Flipflops der Begriff „zweiflankengesteuert" geeignet.

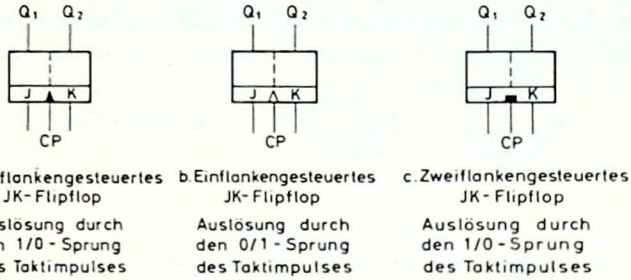


Bild 3.17. Symbole zur Kennzeichnung der Taktimpulswirkung

Nach Bild 3.17 wird die Einflankensteuerung durch einen Pfeil und die Zweiflankensteuerung durch ein Rechteck im Taktimpulseingang gekennzeichnet. Durch ausgefüllte oder leere Symbole läßt sich weiterhin angeben, ob die aktive (≙ auslösende) Flanke mit dem 1/0-Sprung (Normalfall) oder mit dem 0/1-Sprung (nur bei Einflankensteuerung sinnvoll) identisch ist.

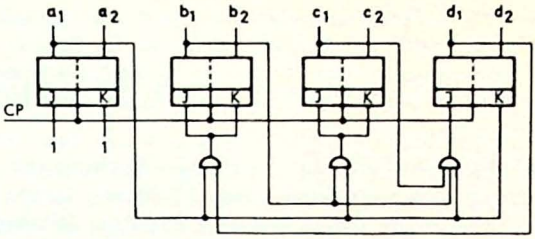
3.2.3.2. Asynchroner Betrieb von Zwischenspeicherflipflops

Das Bild 3.18a zeigt einen bekannten Zähler aus vier JK-Flipflops in synchroner Ausführung.

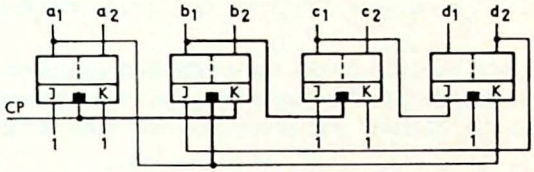
Das Bild 3.18b gibt dagegen denselben Zähler in asynchronem Aufbau aus vier zweiflankengesteuerten JK-Flipflops wieder. Die durch Fettdruck hervorgehobenen Verbindungen von der Taktquelle zu Bedingungs-Eingängen und von Flipflop-Ausgängen zu Takt-Eingängen tauchen ausschließlich in solchen asynchronen Zählern auf.

Der Zähler nach Bild 3.18c ist ebenfalls asynchron, nunmehr aber mit einflankengesteuerten JK-Flipflops aufgebaut, wobei sich gegenüber dem Bild nach 3.18b deutlich Änderungen ergeben.

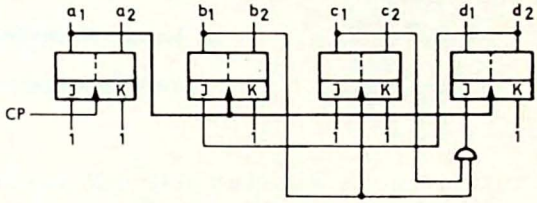
Beim Aufbau von asynchronen Schaltwerken aus JK-Flipflops ist also darauf zu achten, ob ein- oder zweiflankengesteuerte Flipflops verwendet werden. Innerhalb der zweiflankengesteuerten Flipflops existieren sogar noch verschiedene Versionen, so daß beim Entwurf solcher Schaltwerke große Vorsicht angebracht ist.



a. Mod 10 - Zähler, synchron



b. Mod 10 - Zähler, asynchron, mit zweiflankengesteuerten JK - Flipflops



c. Mod 10 - Zähler, asynchron, mit einflankengesteuerten JK - Flipflops

Bild 3.18. Synchrone und asynchrone Mod 10 - Zähler im Dual-Code

Zweckmäßigerweise vermeidet man den asynchronen Betrieb völlig. Sein verhältnismäßig geringer Vorteil, die Einsparung einiger Verknüpfungsglieder, wird durch die Vorteile der synchronen Schaltwerke, nämlich größere Übersichtlichkeit, exakte Methoden zu ihrem logischen Entwurf, geringere Störanfälligkeit und höhere Arbeitsgeschwindigkeit weit aufgewogen.

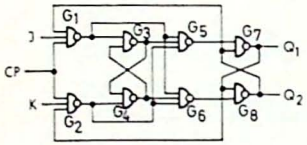
3.2.3.3. Interne Strukturen, Master-Slave-Prinzip

Mit dem oft zitierten Begriff „Master-Slave-Prinzip" ist eine typisch interne Struktur von Zwischenspeicherflipflops gemeint, die am deutlichsten in Bild 3.19 b hervortritt. Die NOR-Gatter G_3 und G_4 bilden einen Master-Speicher, der die über die Übernahmegatter G_1 und G_2 eingeschleuste Information speichert, bis durch den Wechsel des Takteingangssignals der Master eingangsseitig gesperrt wird und seine Information über die Übernahmegatter G_5 und G_6 an den Slave-Speicher (NOR-Gatter G_7 und G_8) gelangt. Eine detaillierte Beschreibung dieses Prinzips findet sich in der Literatur [12].

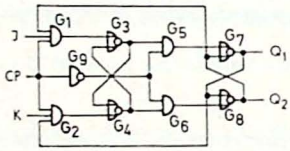
Auch das Flipflop nach Bild 3.19 a läßt die Unterteilung in Übernahmegatter, Master- und Slave-Speicher erkennen. Da sich die beiden genannten Flipflops trotz des gemeinsamen Merkmals der Zweiflankensteuerung funktionell unterscheiden, ist eine Kennzeichnung durch die Begriffe Typ I und Typ II zweckmäßig [13].

Der Begriff „Master-Slave-Prinzip" wird oft überbewertet. Er besagt zwar einiges über den internen Aufbau eines Flipflops, liefert aber keine eindeutigen Angaben über ihr funktionelles Verhalten. Einerseits sind nämlich auch einflankengesteuerte Master-Slave-Flipflops denkbar, andererseits existieren zweiflankengesteuerte Flipflops, die nicht auf dem Master-Slave-Prinzip beruhen.

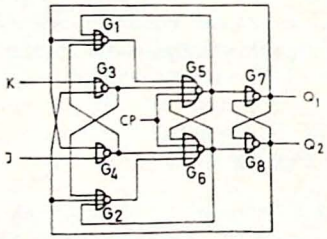
Das Bild 3.19 c zeigt zum Vergleich ein einflankengesteuertes JK-Flipflop. Es arbeitet nicht nach dem Master-Slave-Prinzip, da eine eindeutige Trennung in Übernahmegatter, Master- und Slave-Speicher nicht möglich ist.



a. Master-Slave-JK-Flipflop, zweiflankengesteuert, Typ I



b. Master-Slave-JK-Flipflop, zweiflankengesteuert, Typ II



c. JK-Flipflop, einflankengesteuert, Typ III

Bild 3.19. Interne Strukturen von JK-Flipflops

3.3. Die Berechnung von synchronen Schaltwerken mit vorgegebener Codierung

3.3.1. Vereinfachung der Sprechweise, vorgegebene Codierung

In diesem Kapitel soll ein einfaches Berechnungsverfahren zur Synthese eines synchronen Schaltwerks aus Zwischenspeicherflipflops angegeben werden. Als Beispiel diene ein Mod 5 - Zähler aus drei JK-Flipflops, dessen unvollständiger Aufbau in Bild 3.20 angegeben ist.

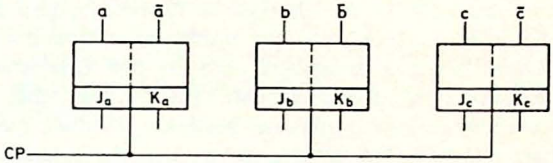


Bild 3.20.
Aufgabe: Mod 5 - Zähler

	a	b	c
0'	0	0	0
1'	0	1	1
2'	1	1	0
3'	1	1	1
4'	0	0	1
0'	0	0	0

Zunächst ist es zweckmäßig, eine vereinfachte Sprechweise zu vereinbaren. An sich hat jedes der drei Flipflops seinen eigenen Flipflopzustand Q und seine eigenen Ausgangszustände Q_1 und Q_2. Die sechs Flipflopausgänge müßten also exakt mit Q_{1a}, Q_{2a}, Q_{1b}, Q_{2b}, Q_{1c} und Q_{2c} bezeichnet sein, so wie es am Beispiel der Bilder 3.10 und 3.11 auch geschehen ist. Es ist aber einfacher, nur die Indizes selbst als Unterscheidungsmerkmale zu verwenden und die Ausgänge mit a_1, a_2, b_1, b_2, c_1, c_2 zu bezeichnen (s. z. B. Bild 3.18). Die zugehörigen Flipflopzustände selbst heißen dann a, b und c. Darüber hinaus interessieren bei der Synthese eines synchronen Schaltwerks nur die Flipflopzustände und nicht die Ausgangszustände. Da der Flipflopzustand Q (bzw. hier a, b oder c) ja direkt am Ausgang Q_1 (bzw. hier a_1, b_1 oder c_1) ablesbar ist und der negierte Flipflopzustand $\overline{Q}$ (bzw. hier $\overline{a}$, $\overline{b}$ oder $\overline{c}$) am Ausgang Q_2 (bzw. hier a_2, b_2 oder c_2) erscheint, ist es sinnvoll, die Bezeichnungen a, $\overline{a}$, b, $\overline{b}$ und c, $\overline{c}$ direkt an die Flipflopausgänge zu setzen. Man darf jedoch nicht übersehen, daß hier Namen für Flipflopfunktionen und nicht Namen für Ausgänge angeschrieben wurden. Darüber hinaus sollen die Flipflops selbst ebenfalls mit den Namen a, b und c belegt werden. Man kann dann zum Beispiel sagen, das Flipflop a befindet sich im Zustand 0, das Flipflop b im Zustand 1 usw.

Die Tabelle des Bildes 3.20 beschreibt den Zählzyklus des Mod 5 - Zählers. Zunächst mögen alle drei Flipflops den Zustand 0 annehmen (Stellung 0′ des Zählers). Nach dem nächsten Taktimpuls sind die Flipflops b und c in den Zustand 1 übergegangen (Stellung 1′). Der folgende Taktimpuls läßt das

Flipflop c zurückkippen und das Flipflop a in den Zustand 1 gelangen (Stellung 2'). In ähnlicher Weise durchläuft der Zähler noch die Stellungen 3' und 4' und kehrt dann zur Anfangsstellung 0' zurück. Es handelt sich hier um eine vorgegebene Codierung, da für jeden Taktimpuls der Zustand jedes Flipflops genau vorgeschrieben ist.

Probleme mit nicht vorgegebener Codierung sind sehr viel schwieriger zu lösen und gehören bereits in den Bereich der Automatentheorie ([2] bis [4], [7], [16] bis [18]).

Die Aufgabe des in Bild 3.20 angedeuteten Zählerproblems besteht darin, ein kombinatorisches Schaltwerk zu finden, in dem die Variablen J_a, K_a, J_b, K_b, J_c und K_c als Funktion der Variablen a, b und c zu bestimmen sind. Für die Lösung solcher Aufgaben sind in der Literatur wiederholt Berechnungsverfahren angegeben worden ([4], [7], [12], [14], [15]). Die in den folgenden Abschnitten vorgeschlagene Methode ist stark auf die Bedürfnisse der Praxis zugeschnitten. Bei einer gegebenen Aufgabenstellung sind in einfacher Weise nach festem Schema Tabellen und Diagramme auszufüllen. Ohne jegliches Rechnen wird das gesuchte Ergebnis zum Schluß direkt aus einigen KV-Diagrammen abgelesen. Die nächsten Abschnitte dienen dem Verständnis des Schemas. In Abschnitt 3.3.6 wird es auf ein etwas allgemeiner gehaltenes Problem angewendet.

3.3.2. Übergangskennzeichen und Kennzeichentabelle

Jedes Zwischenspeicherflipflop, gleich welchen Typs, kann nur die vier in der Tabelle 3.4 gezeigten Übergänge vom Zustand Q^n (zur Bitzeit t_n) zum Zustand Q^{n+1} (zur Bitzeit t_{n+1}) vollziehen.

Tabelle 3.4:

Übergangskennzeichen für Flipflops

I	II	III
Kennzeichen	Q^n	Q^{n+1}
α	0	0
β	0	1
γ	1	0
δ	1	1

Im folgenden werde jeder Übergang durch eines der Kennzeichen α, β, γ oder δ charakterisiert. So meint dann zum Beispiel der Begriff „Übergang β", daß das Flipflop durch einen Taktimpuls vom Zustand 0 in den Zustand 1 übergeht.

Die einzelnen Flipfloptypen unterscheiden sich nun darin, durch welche Eingangssignalkombinationen die einzelnen Übergänge hervorgerufen werden. Am Beispiel des JK-Flipflops soll dies deutlich werden.

Zunächst wird die Wahrheitstabelle des JK-Flipflops (Bild 3.21 a) in einer ausführlicheren Form niedergeschrieben, indem als dritte unabhängige Variable der Flipflopzustand Q^n notiert wird. Auf diese Weise geht jede Zeile in Bild 3.21 a in zwei aufeinanderfolgende Zeilen nach Bild 3.21 b über. In der Ergebnisspalte III erscheinen nur noch die Binärwerte 0 und 1. Die

Spalte I enthält eine Numerierung, bei der die einzelnen Zahlen das dezimale Äquivalent zu den als Dualzahlen aufgefaßten Triaden der Spalte II bilden.

In Bild 3.21 c ist die ausführliche Wahrheitstabelle derart umsortiert, daß nun zu jedem Übergang von Q^n nach Q^{n+1} die zugehörigen Eingangssignale angegeben sind. Zum Beispiel kann ein Flipflop im Zustand $Q^n = 0$ auch nach dem nächsten Taktimpuls im Zustand $Q^{n+1} = 0$ verharren, wenn zur Bitzeit t_n die Eingangssignalkombination $J^n = 0$, $K^n = 0$ oder $J^n = 0$, $K^n = 1$ vorgesehen wurde. Kurz zusammengefaßt ergibt sich die Aussage: Für den Übergang α muß $J^n = 0$ und $K^n = x$ sein, wobei das Symbol x als „beliebig" (0 oder 1) zu deuten ist. Ebenso kurze Aussagen ergeben sich für die übrigen Übergänge, so daß die Kennzeichentabelle des Bildes 3.21 d in prägnanter Form angibt, wie die vier möglichen Übergänge durch verschiedene Eingangssignale erreicht werden können.

t_n		t_{n+1}
J	K	Q
0	0	Q^n
0	1	0
1	0	1
1	1	$\bar{Q}^n$

a. Wahrheitstabelle

I	II		III	
Kennzeichen	Q^n	Q^{n+1}	J^n	K^n
α	0	0	0 0	0 1
β	0	1	1 1	0 1
γ	1	0	0 1	1 1
δ	1	1	0 1	0 0

c. Kennzeichentabelle (ausführlich)

I	II			III
Dual-Dezimal	J^n	K^n	Q^n	Q^{n+1}
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

b. Ausführliche Wahrheitstabelle

I	II		III	
Kennzeichen	Q^n	Q^{n+1}	J^n	K^n
α	0	0	0	x
β	0	1	1	x
γ	1	0	x	1
δ	1	1	x	0

d. Kennzeichentabelle (komprimiert)

Bild 3.21. Wahrheits- und Kennzeichentabelle des JK-Flipflops

Durch die Kennzeichentabelle wird ein Flipflop genauso eindeutig beschrieben wie durch eine Wahrheitstabelle. Andererseits ist sie aber zur Berechnung von Schaltwerken in verschiedener Hinsicht praktischer. Ein Beispiel dafür zeigt das in Bild 3.22 erläuterte SR-Flipflop. Die Wahrheitstabelle nach Bild 3.22 a weist unter anderem die bei diesem Flipfloptyp bekannte N.D.-

f_n		f_{n+1}
S	R	Q
0	0	Q^n
0	1	0
1	0	1
1	1	N.D.

a. Wahrheitstabelle

I	II		III	
Kenn-zeichen	Q^n	Q^{n+1}	S^n	R^n
α	0	0	0 0	0 1
β	0	1	1	0
γ	1	0	0	1
δ	1	1	0 1	0 0

c. Kennzeichentabelle (ausführlich)

I	II			III
Dual-Dezimal	S^n	R^n	Q^n	Q^{n+1}
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	1
6	1	1	0	N.D.
7	1	1	1	N.D.

b. Ausführliche Wahrheitstabelle

I	II		III	
Kenn-zeichen	Q^n	Q^{n+1}	S^n	R^n
α	0	0	0	x
β	0	1	1	0
γ	1	0	0	1
δ	1	1	x	0

d. Kennzeichentabelle (komprimiert)

Bild 3.22. Wahrheits- und Kennzeichentabelle des SR-Flipflops

Bedingung auf. Diese verlangt meist eine spezielle Beachtung und führt beim Entwurf von Schaltwerken zu unübersichtlichen Nebenbedingungen ([4], [12]). In der Kennzeichentabelle (Bild 3.22 d) dagegen ist die N.D.-Bedingung in eindeutige Aussagen umgearbeitet, so daß sich das SR-Flipflop genauso leicht behandeln läßt wie zum Beispiel das JK-Flipflop.

3.3.3. Die Formulierung des Zählerproblems

Man legt sich am zweckmäßigsten eine Tabelle nach folgendem Schema an (Bild 3.23):

a) In der Spalte III werden die acht möglichen Triaden nach dem Dualzahlen-Schema niedergeschrieben (die Dualzahlen sind in diesem Fall von rechts nach links zu lesen). Das dazugehörige dezimale Äquivalent steht jeweils in der Spalte I.

b) Zu jeder Triade schreibt man zur besseren Übersicht noch in die Spalte II die in Bild 3.20 angegebenen Ziffern 0′ ... 4′, die die eigentliche Zählfolge wiedergeben. Drei Zeilen dieser Spalte bleiben unbesetzt. Es sind sogenannte Pseudotriaden, die in der Zählfolge nicht vorkommen.

c) In die Spalte IV wird zu jeder der in Spalte III angegebenen Triaden die im Sinne der Zählfolge nächste Triade eingetragen. Neben die Triade 0′ in Spalte III (≙ 000) kommt also die Triade 1′ (≙ 011) zu stehen. Ent-

sprechend wird neben die Triade 1′ in Spalte III (≙ 011) die Triade 2′ (≙ 110) geschrieben, usw. In den Zeilen der Pseudotriaden werden die Zeichen x für „beliebig" angegeben.

d) Nun werden zeilenweise die Spalten III a und IV a, dann III b und IV b sowie III c und IV c verglichen und dabei jeweils die Spalten V a, V b, V c mit den zugehörigen Übergangskennzeichen gefüllt.
Damit ist das spezielle Zählerproblem vollständig in der Spalte V in Form von Übergangskennzeichen beschrieben.

I	II	III	IV	V
dezim Äquivalent	Zählfolge	f_n	f_{n+1}	
		a b c	a b c	a b c
0	0′	0 0 0	0 1 1	α β β
1		1 0 0	x x x	x x x
2		0 1 0	x x x	x x x
3	2′	1 1 0	1 1 1	δ δ β
4	4′	0 0 1	0 0 0	α α γ
5		1 0 1	x x x	x x x
6	1′	0 1 1	1 1 0	β δ γ
7	3′	1 1 1	0 0 1	γ γ δ

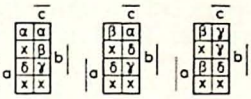


Bild 3.23. Das formulierte Zählerproblem des Bildes 3.20

e) Die Spalten I, III und V werden als Wahrheitstabelle einer kombinatorischen Funktion mit $(a, b, c)^n$ als Eingangsvariable und $(a, b, c)^{n+1}$ als Ausgangsvariable aufgefaßt. Die Umsetzung dieser Tabelle in die nebenstehenden KV-Diagramme gelingt besonders leicht, wenn man sich klar macht, daß zu jeder durch das dezimale Äquivalent gekennzeichneten Zeile (Spalte I) ein ganz bestimmtes Feld im KV-Diagramm gehört. Die hier benutzte Zuordnung ist in Bild 3.24 für drei und für vier Variable angegeben [1]).

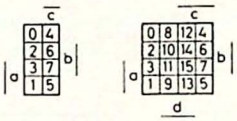


Bild 3.24. Zuordnung der Felder des KV-Diagramms zu den dezimalen Äquivalenten der Triaden und Tetraden

1) Man kann die KV-Diagramme mit den Variablen a, b, c und d auch anders als hier beschriften, wobei sich dann andere Feldnumerierungen ergeben. Auf das Ergebnis der Rechnung hat das selbstverständlich keinen Einfluß.

3.3.4. Die Berechnung des gesuchten Schaltwerks

In Abschnitt 3.3.2 wurde das Kennzeichendiagramm für JK- und SR-Flipflops ein für allemal ermittelt, ohne Bezug auf ein bestimmtes Anwenderproblem. Auf der anderen Seite ließ sich in wenigen Minuten das eigentliche Zählerproblem formulieren, ohne dabei einen bestimmten Flipfloptyp vorauszusetzen. Nach diesen Vorarbeiten fällt die Lösung der eigentlichen Aufgabe, den vorgegebenen Zähler mit JK-Flipflops zu realisieren, sehr leicht:

Für jedes KV-Diagramm des Bildes 3.23 sind zwei zusammengehörige KV-Diagramme für die Eingänge J und K vorzusehen. Dabei sind die Übergangskennzeichen α, β, γ und δ jeweils durch ein Paar Binärwerte entsprechend der Tabelle nach Bild 3.21 d zu ersetzen. Zum Beispiel ist beim Flipflop b die Eintragung α im Feld 4 (rechte obere Ecke) durch das Paar 0 (für J_b) und x (für K_b) zu ersetzen. Das Bild 3.25 enthält mit seinen sechs KV-Diagrammen

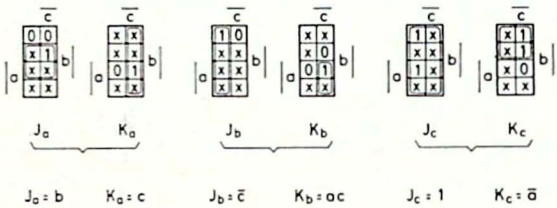
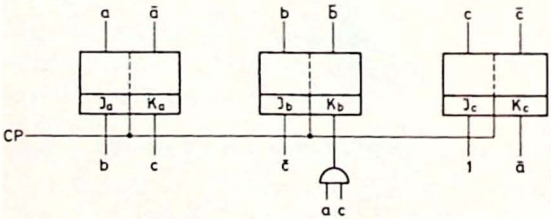


Bild 3.25. Eingangs-KV-Diagramme für JK-Flipflops zum Zählerproblem von Bild 3.20

die vollständige Beschreibung des gesuchten Schaltwerks. Man braucht diese Diagramme jetzt nur noch nach der Regel „möglichst wenige, möglichst große Schleifen bilden" auszuwerten, um die angegebenen Eingangsfunktionen zu erhalten. Das Bild 3.26 zeigt den kompletten Zähler, wobei gleich bezeichnete Anschlüsse miteinander verbunden zu denken sind.



a	b	c
0	0	0
0	1	1
1	1	0
1	1	1
0	0	1

Bild 3.26.
Mod 5 - Zähler aus JK-Flipflops

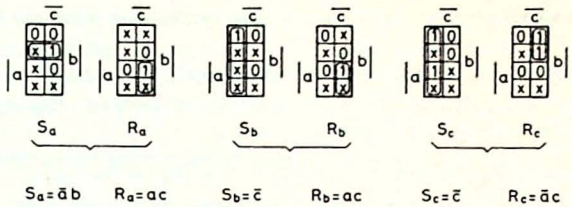


Bild 3.27. Eingangs-KV-Diagramme für SR-Flipflops zum Zählerproblem von Bild 3.20

In ähnlicher Weise läßt sich die gestellte Aufgabe auch mit SR-Flipflops lösen. Aus der Kennzeichentabelle des Bildes 3.22 d sowie den KV-Diagrammen des Bildes 3.23 entstehen die Eingangs-KV-Diagramme des Bildes 3.27. Den zugehörigen Zähler zeigt das Bild 3.28 a.

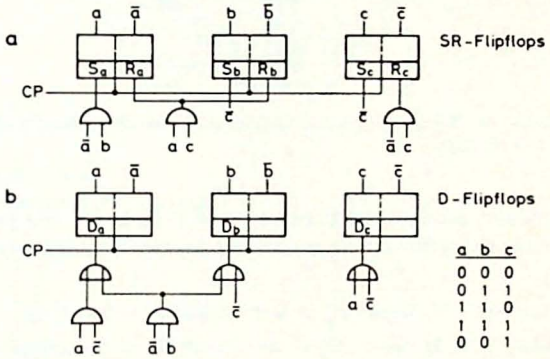


Bild 3.28. Mod 5 - Zähler aus SR- und D-Zwischenspeicherflipflops

Ein Vergleich der Kennzeichentabellen zeigt, daß JK-Flipflops prinzipiell zu einfacheren Schaltwerken führen als SR-Flipflops. Denn die Übergänge β und γ sind beim JK-Flipflop wegen der Eintragungen x („beliebig", d. h. 0 oder 1) nicht so engen Eingangssignalbedingungen unterworfen wie beim SR-Flipflop, wo an den betreffenden Stellen ein ganz bestimmter Binärwert (0 oder 1) verlangt ist.

Tabelle 3.5:

Kennzeichentabelle des D-Flipflops

I	II		III
Kennzeichen	Q^n	Q^{n+1}	D^n
α	0	0	0
β	0	1	1
γ	1	0	0
δ	1	1	1

Die Kennzeichentabelle des D-Flipflops (Tabelle 3.5) hat überhaupt keine Eintragungen x und führt daher zu noch komplizierteren Schaltwerken. Dies zeigt auch die in Bild 3.28 b angeführte Lösung des Zählerproblems.

3.3.5. Die „verkürzte Berechnung" für Schaltwerke aus JK- und D-Flipflops

Zur Einsparung von Schreibarbeit bei der Ermittlung von Schaltwerken läßt sich speziell bei JK-Flipflops eine Beziehung ausnutzen, die aus der Kennzeichentabelle des Bildes 3.21 d ablesbar ist:

$$\text{Wenn } Q^n = 0, \text{ dann } J^n = Q^{n+1} \text{ und } K^n = \text{beliebig.}$$
$$\text{Wenn } Q^n = 1, \text{ dann } K^n = \overline{Q}^{n+1} \text{ und } J^n = \text{beliebig.}$$

Der Mod 5 - Zähler des Bildes 3.20 braucht dann nur bis zur Spalte IV des Bildes 3.23 ausgearbeitet zu werden. Die Spalten I und IV liefern entsprechend der Zuordnung nach Bild 3.24 die drei KV-Diagramme des Bildes 3.29.

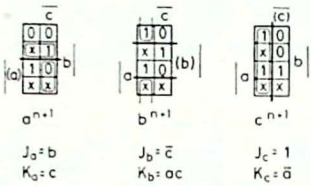


Bild 3.29. Vereinfachte Eingangs-KV-Diagramme für den Mod 5 - Zähler aus JK- oder D-Flipflops

Im ersten Diagramm ist die Funktion $a^{n+1} = f\,(a, b, c)^n$ dargestellt. Der soeben allgemein formulierte Zusammenhang lautet dementsprechend für das Flipflop a:

$$\text{Wenn } a^n = 0, \text{ dann } J_a^n = a^{n+1} \text{ und } K_a^n = \text{beliebig.}$$
$$\text{Wenn } a^n = 1, \text{ dann } K_a^n = \overline{a}^{n+1} \text{ und } J_a^n = \text{beliebig.}$$

Man unterteilt daher das entsprechende KV-Diagramm a^{n+1} in eine obere Hälfte $\overline{a}$ ($\triangleq a^n = 0$) und eine untere Hälfte a ($\triangleq a^n = 1$). Beide Teile werden unabhängig voneinander ausgewertet. Die obere Hälfte liefert die Funktion $J_a^n = a^{n+1}$ durch Schleifenbildung um die Werte 1 und x. Aus der unteren Hälfte ergibt sich durch Schleifen um die Werte 0 und x die Funktion $K_a^n = \overline{a}^{n+1}$. Entsprechend lassen sich auch die anderen beiden KV-Diagramme bearbeiten. Es erleichtert das Ablesen der Funktionen, wenn die jeweils dem Q^n entsprechende Variable, die bei JK-Flipflops nicht in den Eingangsfunktionen J und K auftauchen kann, eingeklammert wird.

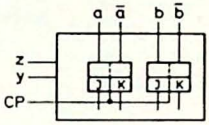
Die KV-Diagramme nach Bild 3.29 lassen sich auch für Schaltwerke aus D-Flipflops verwenden. Laut Tabelle 3.5 gilt offensichtlich die Beziehung $D^n = Q^{n+1}$. Die gesuchten Eingangsfunktionen $D_a^n = a^{n+1}$, $D_b^n = b^{n+1}$, $D_c^n = c^{n+1}$ ergeben sich daher durch Schleifenbildung um die Werte 1 und x der nicht in Hälften geteilten KV-Diagramme, womit man die bereits in Bild 3.28 dargestellte Gatteranordnung erhält.

Da in Serien integrierter Digitalschaltungen nahezu ausschließlich D- und JK-Zwischenspeicherflipflops zu finden sind, ist ihren Anwendern die Ver-

wendung der verkürzten Berechnungsmethode zu empfehlen. Wer jedoch Untersuchungen für die verschiedenen Flipfloptypen anstellen will, findet in der Methode der Übergangskennzeichen und Kennzeichentabellen eine einfache und allgemein anwendbare Hilfe.

3.3.6. Eine etwas allgemeiner gehaltene Aufgabe

Die in Bild 3.30 formulierte Aufgabe soll zeigen, daß auch über in sich abgeschlossene Zähler hinausgehende Schaltwerke berechenbar sind. Das Schaltwerk enthalte zwei Flipflops. Von außen sind außer der Taktimpulsleitung zwei Steuerleitungen y und z vorgesehen, durch die die beiden Flipflops wahlweise als verschiedene Zähler (I, II, III) oder mit speziellem Verhalten (IV) betrieben werden können.



Ein Kasten mit zwei JK-Flipflops und zwei Steuereingängen

Forderungen:

I. wenn y = 0, z = 0;
dann Vorwärtszähler, Zyklus 4

	a	b
0′	0	0
1′	1	0
2′	0	1
3′	1	1

II. wenn y = 1, z = 0;
dann Rückwärtszähler, Zyklus 4

	a	b
0′	1	1
1′	0	1
2′	1	0
3′	0	0

III. wenn y = 0, z = 1;
dann Zähler, Zyklus 3

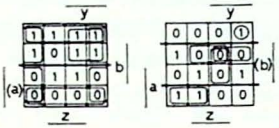
	a	b
0′	0	0
1′	1	0
2′	0	1

bei zufällig a = b = 1 soll Zähler stehen bleiben

IV. wenn y = 1, z = 1;
dann IV.1. wenn b = 0, dann kippt das Flipflop a ständig;
das Flipflop b bleibt bei b = 0
IV.2. wenn b = 1, dann kippt es nach b = 0
und Flipflop a kippt nach bzw. bleibt bei a = 1

Bild 3.30. Eine Aufgabe zur Berechnung eines synchronen Schaltwerks

I	II	III				IV	
dezim. Äquivalent	Zählfolge	t_n				t_{n+1}	
		a	b	y	z	a	b
0	0'	0	0	0	0	1	0
1	1'	1	0	0	0	0	1
2	2'	0	1	0	0	1	1
3	3'	1	1	0	0	0	0
4	3'	0	0	1	0	1	1
5	2'	1	0	1	0	0	0
6	1'	0	1	1	0	1	0
7	0'	1	1	1	0	0	1
8	0'	0	0	0	1	1	0
9	1'	1	0	0	1	0	1
10	2'	0	1	0	1	0	0
11		1	1	0	1	1	1
12		0	0	1	1	1	0
13		1	0	1	1	0	0
14		0	1	1	1	1	0
15		1	1	1	1	1	0



$J_a = \bar{b} + y + \bar{z}$ $\quad$ $J_b = \bar{a}\bar{y} + \bar{a}y\bar{z}$

$K_a = \bar{b} + \bar{z}$ $\quad$ $K_b = \bar{a}\bar{y} + \bar{a}z + yz + a\bar{y}\bar{z}$

Bild 3.31. Berechnung eines synchronen Schaltwerks

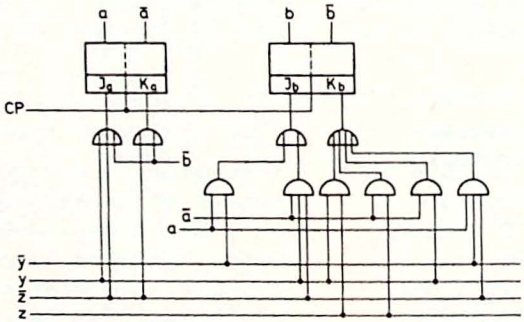


Bild 3.32. Synchrones Schaltwerk mit zwei Steuereingängen

Die Lösung der Aufgabe erfolgt nach den Angaben der Absätze a), b) und c) des Abschnitts 3.3.3 mit anschließender verkürzter Berechnung der Eingangsfunktionen nach Abschnitt 3.3.5. Neu ist lediglich die unterschiedliche Anzahl von Eingangsvariablen $(a, b, y, z)^n$ und Ausgangsvariablen $(a, b)^{n+1}$. Die Wahrheitstabelle des Bildes 3.31 ist der besseren Übersicht halber zusätzlich noch in vier durch die Steuerungsparameter gegebene Gruppen unterteilt.

Zur Gruppe IV (Zeilen 12 bis 15) lassen sich keine Zählzyklen angeben. Vielmehr erscheint die Wortbeschreibung des Bildes 3.30 unmittelbar auch in der Wahrheitstabelle. Zum Beispiel findet sich die Forderung IV.1. auf folgende Weise wieder:

> Wenn $b = 0$ (d. h. Spalte III, Zeilen 12, 13),
> dann kippt das Flipflop a ständig (d. h. Spalte IV, Zeilen 12, 13: $a^{n+1} = \overline{a^n}$). Das Flipflop b bleibt bei $b = 0$ (d. h. Spalte IV, Zeilen 12, 13: $b^{n+1} = 0$).

Das Bild 3.31 enthält die gesamte Berechnung des gesuchten Schaltwerks. Das Bild 3.32 gibt das zugehörige Schaltbild an.

Literatur

[1] Maley, G. A., and Earle, J.: The logic design of transistor digital computers,
Prentice-Hall, Inc., Englewood Cliffs, New York 1968.

[2] Mc Cluskey, E. J.: Introduction to the theory of switching circuits,
Mc Graw - Hill Book Company, Inc., New York 1965.

[3] Mc Cluskey, E. J., and Bartee, T. C.: A survey of switching circuit theory,
Mc Graw - Hill Book Company, Inc., New York 1962.

[4] Phister, M., Jr.: Logical design of digital computers,
John Wiley and Sons, Inc., New York, London, Seventh printing 1963, pp. 112-142.

[5] Lagemann, K.: Das DV-Flipflop, ein neuartiges Schaltglied und seine Vorzüge gegenüber dem JK-Flipflop,
Elektronische Rechenanlagen 9 (1967) 1, S. 9-16.

[6] Föllinger, O., und Weber, W.: Methoden der Schaltalgebra,
München, Wien, 1967, R. Oldenbourg - Verlag.

[7] De Troye, N. C.: A generalized two-input flipflop and its realization,
Philips Res. Reports 21 (1966) 5, pp. 390-409.

[8] Mange, D.: Equations logiques du flipflop,
Neue Technik A 3, 1967.

[9] Sparkes, J. J.: Bistable elements for sequential circuits, Electronic Engineering, August 1966.

[10] Lagemann, K.: Die verschiedenen Flipfloparten und ihre Darstellung durch Symbole und Wahrheitstabellen, VALVO Berichte Bd. XIII, 1967, Heft 5.

[11] Motorola-Datenblatt: MECL-integrated circuits: MC 352, R-S-flipflop, DS 9029, Juli 1964.

[12] Isernhagen, R.: Logischer Entwurf von Digitalschaltungen, VALVO Broschüre, März 1968.

[13] Lagemann, K.: Ein Vorschlag zur Darstellung asynchron betriebener JK-Flipflops, Elektronische Rechenanlagen 10 (1968) 4.

[14] Sieber, P.: Der Entwurf von Folgeschaltungen, Der Elektroniker Bd. 6, 1967, Nr. 2, S. 72.

[15] Najjar, H. F.: Digital counter logic, Electro-technology Bd. 74 (1964) 1.

[16] Caldwell, S. H.: Der logische Entwurf von Schaltkreisen, München, Wien, 1964, R. Oldenbourg - Verlag.

[17] Schulte, D.: Kombinatorische und sequentielle Netzwerke, München, Wien, 1967, R. Oldenbourg - Verlag.

[18] Humphrey, W. S.: Switching circuits, Mc Graw - Hill Book Company, Inc., New York 1958.

Entwurf und Anwendung von Zählern

Von K. Sickert

Inhalt

4.1. Binärcodes 111
4.1.1. Der Dualcode 112
4.1.2. Binärcodes für Dezimalziffern 113
4.2. Zähler mit beliebigem Code 115
4.3. Schieberegister als Zähler 121
4.4. Vorwärts-Rückwärts-Zähler 124
4.5. Übertragsbildung bei mehrstelligen Dezimalzählern 127
4.6. Decodierung und Anzeige des Zählerinhalts 130
4.7. Digitaler Frequenzmesser 132

4.1. Binärcodes

Ein Zähler liefert nach n Eingangsimpulsen an seinen Ausgängen eine bestimmte Binärinformation, deren Zuordnung zu n durch den Code des Zählers festgelegt ist.

Im weiteren Sinn kann ein Code die Aufgabe haben, neben Zahlen auch Buchstaben und Zeichen mit Hilfe der Binärwerte 1 und 0 darzustellen. Im folgenden soll lediglich die Codierung von Dezimalzahlen besprochen werden.

Für die Codierung von Dezimalzahlen lassen sich zwei verschiedene Wege beschreiten. Entweder kann die ganze Dezimalzahl gemeinsam durch eine Kombination von Binärwerten dargestellt werden, oder man codiert jede einzelne Ziffer der Dezimalzahl für sich.

Das soll an einem Beispiel für die Zahl 72 erläutert werden. Da sich mit sieben Binärstellen $2^7 = 128$ und mit sechs Binärstellen nur $2^6 = 64$ verschiedene Binärkombinationen bilden lassen, muß die binäre Codierung für die Zahl 72 aus mindestens sieben Binärzahlen bestehen und kann zum Beispiel 1 0 1 1 0 1 0 heißen.

Im zweiten Fall muß jeder Ziffer 0 bis 9 des Dezimalsystems eine Binärkombination zugeordnet werden. Da sich mit vier Binärstellen 16 Kombinationen, mit drei Binärstellen aber nur acht beschreiben lassen, sind dafür mindestens vier Binärstellen oder vier Bit nötig. In einer beliebig angenommenen Codierung schreibt sich die Zahl 72:

0 1 0 0	1 1 0 0
= 7	= 2

Eine solche Vierergruppe zur Kennzeichnung der Dezimalziffern 0 bis 9 wird Tetrade und die Art der Codierung tetradische Verschlüsselung genannt.

Obwohl im zweiten Fall mehr Binärstellen benötigt werden, ist es meist zweckmäßiger, Dezimalzahlen stellenweise zu codieren. Man spricht dann von einem Binärcode für Dezimalziffern (BCD).

Nun wollen wir uns speziellen Codes zuwenden.

4.1.1. Der Dualcode

Der Dualcode entspricht der direkten Beziehung zwischen dem dualen und dezimalen Zahlensystem. Er gehört zu der oben erwähnten Gruppe, bei der die Dezimalzahl im Ganzen codiert wird. Mit vier Bit lassen sich so die Dezimalzahlen von 0 ... 15 in Form von Tetraden darstellen; dabei werden die freien Stellen vor der höchstwertigen 1 als 0 behandelt, ebenso wie im Dezimalsystem. Jeder Spalte ist eine bestimmte Wertigkeit zugeordnet. Sie ist gleich der Stellenwertigkeit des Dual-Zahlensystems, die nach Potenzen von zwei geordnet ist, so wie im Dezimalzahlensystem nach Potenzen von 10 geordnet wird. Die Tabelle 4.1 zeigt, wie der Dualcode sich aufbaut.

Tabelle 4.1: Dualcode für Dezimalzahlen

Dezimal	Dual 2^3	2^2	2^1	2^0	
0				0	
1				1	
2			1	0	
3			1	1	
4		1	0	0	
5		1	0	1	$= 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 5$
.		.	.	.	
.		.	.	.	
.		.	.	.	

4.1.2. Binärcodes für Dezimalziffern

Ein 4 bit-Binärcode für Dezimalziffern, im folgenden kurz 4 bit-BCD genannt, entsteht durch beliebige Auswahl von zehn Tetraden — entsprechend den Dezimalziffern von 0 bis 9 — aus den insgesamt 16 möglichen 4 bit-Kombinationen. Sechs Tetraden werden jeweils nicht benötigt. Sie sind überflüssig oder redundant. Diese sogenannten Pseudotetraden wurden in Bild 4.1 schraffiert.

Eine Gruppe der 4 bit-BCDs sind die sogenannten gewichteten Codes. Dabei ordnet man jeder Binärstelle eine Wertigkeit (Gewicht) zu, und zwar derart, daß — wie bereits in Tabelle 4.1 angedeutet — die Summe der mit diesen Wertigkeiten multiplizierten Binärwerte die Dezimalziffer ergibt.

Dezimal-äquivalent	Tetrade (Codewort)	Zugehörige Dezimalziffer im				
		8-4-2-1-Code	unsymm. 2-4-2-1-Code	symmetr. 2-4-2-1-Code (Aiken-Code)	5-4-2-1-Code	3-Exzess-Code
0	0 0 0 0	0	0	0	0	
1	0 0 0 1	1	1	1	1	
2	0 0 1 0	2	2	2	2	
3	0 0 1 1	3	3	3	3	0
4	0 1 0 0	4		4	4	1
5	0 1 0 1	5				2
6	0 1 1 0	6				3
7	0 1 1 1	7				4
8	1 0 0 0	8			5	5
9	1 0 0 1	9			6	6
10	1 0 1 0		4		7	7
11	1 0 1 1		5	5	8	8
12	1 1 0 0		6	6	9	9
13	1 1 0 1		7	7		
14	1 1 1 0		8	8		
15	1 1 1 1		9	9		

Bild 4.1. 4 bit-Binärcodes für Dezimalziffern

Bekannte 4 bit-BCDs mit Stellenwertigkeit sind der 8-4-2-1-Code, der mit den ersten zehn Ziffern des Dualcodes übereinstimmt, der 5-4-2-1-Code und der 2-4-2-1-Code.

Als Beispiel wird hier die Darstellung der Dezimalziffer 7 im 8-4-2-1-Code angegeben:

$$7 \triangleq 0 \quad 1 \quad 1 \quad 1$$
$$7 = 0 \cdot 8 + 1 \cdot 4 + 1 \cdot 2 + 1 \cdot 1 .$$

Beim 2-4-2-1-Code gibt es für die Ziffern 2 bis 7 verschiedene Möglichkeiten der Darstellung. Zum Beispiel können für die Ziffer 4 die beiden folgenden Binärkombinationen verwendet werden:

Wertigkeit	2 4 2 1
1. Möglichkeit	0 1 0 0
2. Möglichkeit	1 0 1 0 .

Besonderen Vorrang besitzt der als Aiken-Code bekannte symmetrische 2-4-2-1-Code. Er ist, wie jeder symmetrische Code, selbstkomplementierend; das besagt, daß durch eine Invertierung aller Binärwerte einer Tetrade das zugehörige Neuner-Komplement gebildet wird, das man oft bei der binären Subtraktion benötigt. Ein Beispiel für die Bildung des Neuner-Komplements im Aiken-Code ist

$$\begin{array}{l} 1011 \triangleq 5 \\ 0100 \triangleq 4 \end{array} \qquad 5 + 4 = 9 .$$

Neben den gewichteten Codes haben auch einige ungewichtete Codes wegen ihrer zusätzlichen Vorteile Bedeutung erlangt.

Der 3 Exzeß - Code ist wie der Aiken-Code symmetrisch und bietet somit die Möglichkeit einer einfachen Neuner-Komplementbildung durch Invertierung. Daneben hat der 3 Exzeß - Code den Vorteil, daß die Stellung „Null" und die Stellung „Keine Information" unterschieden werden können.

Außer durch die 4 bit - BCDs, die sogenannten tetradischen Verschlüsselungen, kann jede Dezimalziffer auch durch mehr als vier Bit dargestellt werden. Der Vorteil dieser, auf den ersten Blick aufwendigeren Codes liegt oft in einfacheren Gatterschaltungen für die Decodierung und für Rechenoperationen. Außerdem bietet die erhöhte Redundanz eine gute Möglichkeit zur Fehlererkennung.

Eine Sonderstellung nehmen Schieberegister-Codes ein (Abschnitt 4.3).

4.2. Zähler mit beliebigem Code

Zähler gehören zu den wichtigsten Anwendungsgebieten von Flipflops. Durch die Eingangsimpulse werden die Flipflops im Zähler in die der Impulsanzahl und dem Code entsprechende Stellung gebracht. Es ist die Aufgabe der Zählerberechnung, die logischen Funktionen für die Bedingungseingänge zu ermitteln. Bei synchronem Betrieb werden die Taktimpulse den Takteingängen aller Flipflops gleichzeitig zugeführt, bei asynchronem Betrieb dagegen nicht.

Als Beispiel wird eine synchrone Dezimalzählstufe für Vorwärtsbetrieb im 5-4-2-1-Code berechnet, die aus JK-Flipflops aufgebaut werden soll.

Die Wahrheitstabelle des Zählers enthält die Zuordnung der Flipflop-Zustände zu den zehn Ziffern der Zählfolge (Tabelle 4.2). A, B, C, D sind die Zustände vor Eintreffen des nächsten Taktimpulses (Bitzeit t_n) und A^{n+1}, B^{n+1}, C^{n+1}, D^{n+1} sind die Zustände nach dem nächsten Taktimpuls (Bitzeit t_{n+1}).

Tabelle 4.2:

Wahrheitstabelle zur Berechnung des synchronen 5-4-2-1-Zählers

Zählfolge	Dezimal-äquivalent	A	B	C	D	A^{n+1}	B^{n+1}	C^{n+1}	D^{n+1}
0	0	0	0	0	0	1	0	0	0
1	1	1	0	0	0	0	1	0	0
2	2	0	1	0	0	1	1	0	0
3	3	1	1	0	0	0	0	1	0
4	4	0	0	1	0	0	0	0	1
5	8	0	0	0	1	1	0	0	1
6	9	1	0	0	1	0	1	0	1
7	10	0	1	0	1	1	1	0	1
8	11	1	1	0	1	0	0	1	1
9	12	0	0	1	1	0	0	0	0

Jetzt können die Funktionen für die Bedingungseingänge J und K mit Hilfe der KV-Tafel von Bild 4.2 ermittelt werden. Als Variable stehen dabei die vier Ausgangssignale A, B, C, D der Flipflops (einschließlich ihrer Invertierungen) zur Verfügung. Vier Variable erfordern eine KV-Tafel mit 16 Feldern. Da nur zehn Binärkombinationen verwendet werden, können wir die redundanten Stellungen durch das Zeichen X kennzeichnen. Nach Eintragen der Binärwerte aus den Spalten für A^{n+1} bis D^{n+1} in die zugehörigen KV-Tafeln erhält man nach dem verkürzten Berechnungsverfahren für JK-Flipflops (Abschnitt 3.3.5)

$$J_A = \overline{C} \qquad K_A = 1$$
$$J_B = A \qquad K_B = A$$
$$J_C = A\,B \qquad K_C = 1$$
$$J_D = C \qquad K_D = C$$

Bild 4.3 zeigt die entsprechende Schaltung der Dezimalzählstufe, aufgebaut mit den Doppel-Flipflops FCJ 121.

Nun wollen wir zum Vergleich einen Zähler betrachten, der zwar im gleichen Code arbeitet und daher in seiner logischen Funktion gleichbedeutend ist, jedoch werden nicht mehr alle Flipflops vom Eingangstakt angesteuert. Der Zähler arbeitet dann asynchron, und es wird eine Vereinfachung der Eingangsbedingungen erreicht, weil der Ausgang eines Flipflops das Taktsignal für ein anderes Flipflop liefert.

Bei der Berechnung geht man von den Wahrheitstafeln für den betreffenden synchronen Zähler aus, im vorliegenden Fall also von Tabelle 4.2. Im linken Teil (Spalten A bis D), der in Tabelle 4.3 noch einmal wiederholt ist, prüft man zunächst, welche Flipflops als Taktgeber für ein anderes Flipflop in Frage kommen. Bedingung hierfür ist, daß das taktgebende Flipflop mindestens bei jedem Zustandswechsel des anzusteuernden Flipflops einen $1 \rightarrow 0$-Übergang macht. So eignet sich zum Beispiel Flipflop A als Taktgeber für Flipflop B, wie man aus dem Vergleich der Spalten A und B entnimmt: Bei jedem Zustandswechsel von Flipflop B ($1 \rightarrow 2$, $3 \rightarrow 4$, $6 \rightarrow 7$, $8 \rightarrow 9$) kann Flipflop A die zum Kippen erforderliche $1 \rightarrow 0$-Flanke liefern. Flipflop B dagegen kann nicht als Taktgeber für Flipflop C benutzt werden: Zwar würde bei den Zustandswechseln $3 \rightarrow 4$ und $8 \rightarrow 9$ des Flipflops C der nötige $1 \rightarrow 0$-Übergang vom Flipflop B zur Verfügung stehen, er fehlt jedoch für den Zustandswechsel $9 \rightarrow 0$ des Flipflops C. Auch Flipflop D ist als Taktgeber für C nicht zu gebrauchen. Flipflop C muß daher ebenso wie Flipflop A vom Eingangstakt angesteuert werden. Für Flipflop D schließlich kann Flipflop C als Taktgeber dienen. Damit liegt bereits fest, wo die Takteingänge der Flipflops anzuschließen sind (Bild 4.4).

Tabelle 4.3:

Wahrheitstabelle zur Berechnung des asynchronen 5-4-2-1-Zählers (Bild 4.4)

Zählfolge	Dezimal-äquivalent	A	B	C	D	A^{n+1}	B^{n+1}	C^{n+1}	D^{n+1}
0	0	0	0	0	0	1	X	0	X
1	1	1	0	0	0	0	1	0	X
2	2	0	1	0	0	1	X	0	X
3	3	1	1	0	0	0	0	1	X
4	4	0	0	1	0	0	X	0	1
5	8	0	0	0	1	1	X	0	X
6	9	1	0	0	1	0	1	0	X
7	10	0	1	0	1	1	X	0	X
8	11	1	1	0	1	0	0	1	X
9	12	0	0	1	1	0	X	0	0

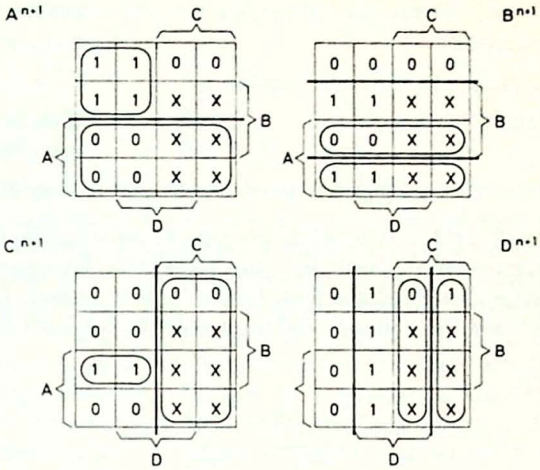


Bild 4.2. KV-Tafeln zur Berechnung des synchronen 5-4-2-1-Zählers

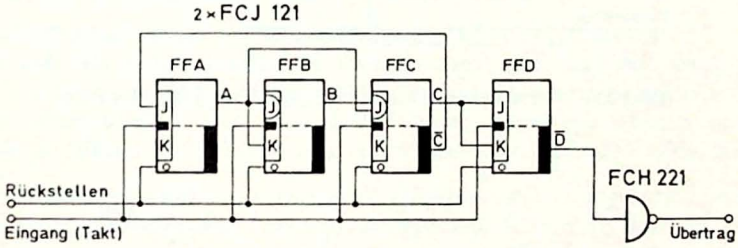


Bild 4.3. Synchrone Dezimalzählstufe im 5-4-2-1-Code

Nun betrachten wir die Spalten $A^{n+1} \ldots D^{n+1}$ von Tabelle 4.2. Hier müssen bei den intern (asynchron) angesteuerten Flipflops, in unserem Falle also in den Spalten B^{n+1} und D^{n+1}, jene Stellungen aufgesucht werden, denen keine aktive (triggernde) $1 \rightarrow 0$-Flanke des taktgebenden Flipflops vorausgeht, bei denen also das taktgebende Flipflop den Übergang $0 \rightarrow 1$, $0 \rightarrow 0$ oder $1 \rightarrow 1$ aufweist. In diesen Fällen kann keine Triggerung erfolgen, so daß auch die Signale J und K belanglos sind. Man kann an diesen Stellen daher das Zeichen X (beliebig) anstelle von 0 oder 1 in die Spalten A^{n+1} bis D^{n+1} des synchronen Zählers einsetzen. Sind mehr als zwei Flipflops asynchron hintereinander geschaltet, so beginnt man mit dem Eintragen der X-Zeichen beim letzten Flipflop der Kette. Die Spalten A^{n+1} bis D^{n+1} des asynchronen Zählers (Tabelle 4.3) entstehen somit aus denen des synchronen Zählers (Tabelle 4.2) nach folgenden Regeln:

bei Ansteuerung des betreffenden Flipflops durch den Eingangstakt	identisch mit „Synchron-Spalte“
bei Taktgebung durch ein internes Flipflop	
a) vorausgehender Übergang $1 \rightarrow 0$	identisch mit „Synchron-Spalte“
b) vorausgehender Übergang $0 \rightarrow 1$, $0 \rightarrow 0$ oder $1 \rightarrow 1$	X eintragen

Zum Beispiel muß in der zweiten Zeile von Tabelle 4.3 in der Spalte D^{n+1} ein X eingetragen werden, weil der vorausgehende Übergang (1. Zeile → 2. Zeile) des taktgebenden Flipflops (Spalte C^{n+1}) $0 \rightarrow 0$ lautet. Durch Eintragen der Spalten A^{n+1} bis D^{n+1} in KV-Tafeln gemäß Bild 4.5 erhält man folgende

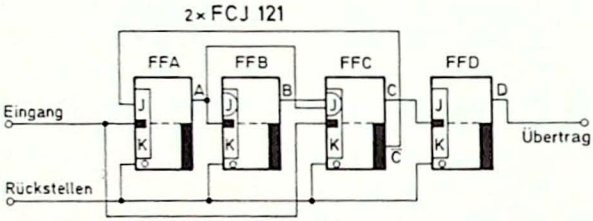


Bild 4.4. Asynchrone Dezimalzählstufe im 5-4-2-1-Code

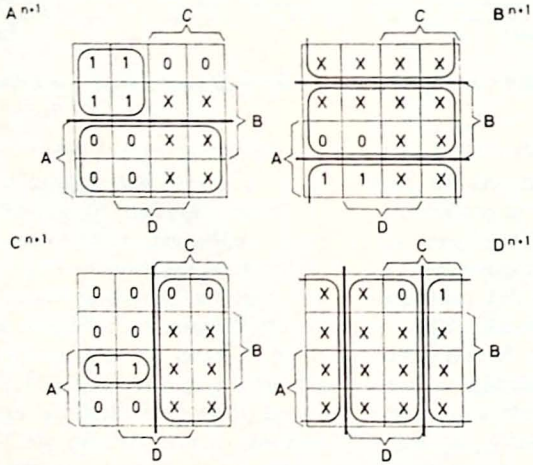


Bild 4.5. KV-Tafeln zur Berechnung des asynchronen 5-4-2-1-Zählers

Eingangsbedingungen für den asynchronen 5-4-2-1-Zähler:

$$J_A = \overline{C} \qquad K_A = 1$$
$$J_B = 1 \qquad K_B = 1$$
$$J_C = A\,B \qquad K_C = 1$$
$$J_D = 1 \qquad K_D = 1$$

In Bild 4.4 ist die Schaltung des Zählers angegeben. Die Vereinfachung der Eingangsbedingungen und damit die Ersparnis an Gattern gegenüber der synchronen Ausführung ist häufig noch stärker als bei dem hier vorgeführten Beispiel. Die Funktion asynchroner Zählschaltungen läßt sich schwerer übersehen als die synchroner. Bei Verwendung einflankengesteuerter Flipflops (z. B. FCJ 101) erleichtert sich der Entwurf; denn es braucht nur darauf geachtet zu werden, daß in der Zeit unmittelbar vor dem Eintreffen der 1 → 0-Flanke des Taktsignals die richtigen Eingangssignale an den Bedingungseingängen liegen. Oft können aber asynchron arbeitende Schaltungen auch mit zweiflankengesteuerten Flipflops realisiert werden, wenn sicher ist, daß im Betrieb keine „kritischen Signalwechsel" vorkommen. Ein kritischer Signalwechsel liegt dann vor, wenn bei 1-Signal am Takteingang ein Signalwechsel an den Bedingungseingängen J und K das Flipflop in einen nicht vorgesehenen Zustand bringt.

Der Aufwand bei einem asynchronen Zähler wird bei gleichem Code immer kleiner sein als beim synchronen Zähler. Nicht nur, daß wie im hier angegebenen Beispiel die Beschaltung der Bedingungseingänge reduziert wird, sondern es können oft auch zusätzliche Gatter eingespart werden, die beim synchronen Zähler zur Realisierung der Eingangsbedingungen nötig sind.

Der wesentliche Vorteil des synchronen Betriebs liegt in der geringeren Verzögerungszeit des Zählers. An den Zählern der Bilder 4.3 und 4.4 soll der Übergang von

Stellung 9 ≙ 0 0 1 1 auf die Stellung 0 ≙ 0 0 0 0

anhand von Bild 4.6 betrachtet werden. Das ist einer der Schritte, für den der asynchrone Zähler die meiste Zeit benötigt, weil hier nacheinander an den Ausgängen zweier Flipflops (C und D) ein 1 → 0-Übergang erfolgen muß. Die hierfür benötigte sogenannte Abfallverzögerungszeit t_{fd} ist bei dem verwendeten Doppelflipflop FCJ 121 größer als die Anstiegsverzögerungszeit t_{rd} für den 0 → 1-Übergang.

Die Flipflops A und B bleiben unberücksichtigt, da sie ihre Stellung nicht ändern. Für das Flipflop C sind die Verzögerungszeiten im Synchron- und Asynchronbetrieb gleich, da es synchron mit dem Eingangstakt arbeitet. Beim asynchronen Betrieb kommt jedoch noch die Abfallverzögerungszeit t_{fd} von FFD hinzu. Mit den typischen Werten für das Doppel-Flipflop FCJ 121 folgt für die Verzögerungszeit t_0:

Synchron-Betrieb $\quad t_0' = t_{fd}\,(\mathrm{FFC}) = 100\ \mathrm{ns}$

Asynchron-Betrieb $\quad t_0'' = t_{fd}\,(\mathrm{FFC}) + t_{fd}\,(\mathrm{FFD}) = 200\ \mathrm{ns}$

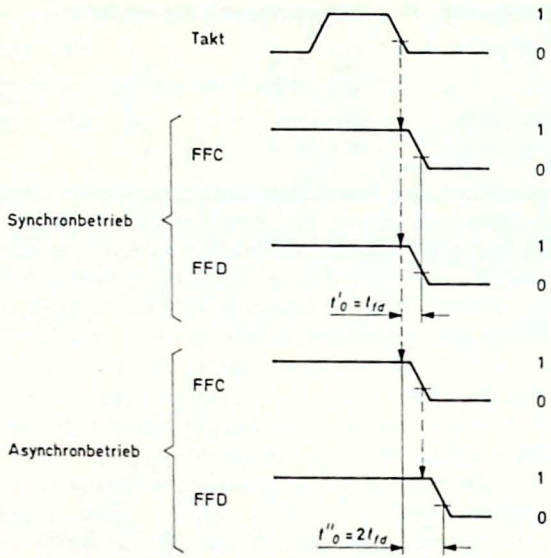


Bild 4.6. Vergleich zwischen Signal-Verzögerungszeiten von Synchron- und Asynchronbetrieb am Beispiel der Flipflops C und D der 5-4-2-1-Zähler von Bild 4.3 und 4.4

Dieselbe Verzögerungszeit gilt auch für die Schritte 3 → 4 und 8 → 9, bei denen die Flipflops A und B ebenfalls beide nacheinander den Übergang 1 → 0 machen müssen. Je mehr Flipflops asynchron hintereinander geschaltet sind, um so langsamer wird die asynchrone Ausführung eines Zählers gegenüber der synchronen.

4.3. Schieberegister als Zähler

In einem Schieberegister (Bild 4.7) werden alle Flipflops von demselben Taktsignal angesteuert (synchroner Betrieb), und jedes Flipflop übernimmt mit der aktiven Taktflanke die Information des vorangehenden Flipflop. Das erste Flipflop übernimmt die am Serien-Eingang anliegende Information Z. Die Eingänge $S_1 \ldots S_p$ können zum Parallel-Einschreiben eines gewünschten Registerinhalts benutzt werden.

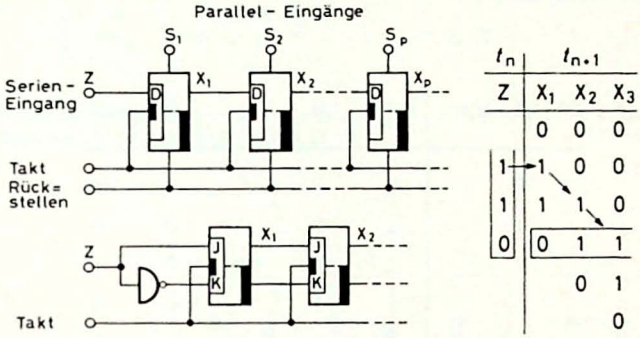


Bild 4.7. Schieberegister aus D-Flipflops und JK-Flipflops
Beispiel einer Wahrheitstabelle für den Ablauf der Schiebefunktion „Klappregel" zur Ermittlung des Schieberegisterinhalts

Die Eingangsbedingungen für ein Schieberegister mit D-Flipflops lauten

$$D_1 = Z$$
$$D_p = X_{p-1},$$

wobei p die laufende Nummer des Flipflop ist. Bei Verwendung von JK-Flipflops braucht man am Eingang zusätzlich das Signal $\overline{Z}$ und jeweils zwei Verbindungen von einem Flipflop zum nächsten:

$$J_1 = Z \qquad K_1 = \overline{Z}$$
$$J_p = X_{p-1} \qquad K_p = \overline{X_{p-1}}$$

Das zur Bitzeit t_n anliegende Eingangssignal Z erscheint zur Bitzeit t_{n+p} am Flipflop-Ausgang X_p. Der Schieberegisterinhalt $X_1, X_2 \ldots X_p$ zur Bitzeit t_{n+1} ergibt sich, wenn man in der Wahrheitstabelle die Spalte Z bis einschließlich zur Bitzeit t_n um ihren Fußpunkt nach rechts klappt.

Für den Aufbau von Zählern nach dem Schieberegisterprinzip sollen im folgenden zwei Beispiele gegeben werden.

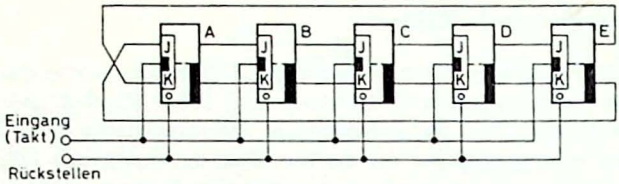


Bild 4.8. 5 bit-Schieberegister mit invertierter Rückführung (Möbius-Ring) als Dezimalzählstufe

Zählfolge	A	B	C	D	E
0	0	0	0	0	0
1	1	0	0	0	0
2	1	1	0	0	0
3	1	1	1	0	0
4	1	1	1	1	0
5	1	1	1	1	1
6	0	1	1	1	1
7	0	0	1	1	1
8	0	0	0	1	1
9	0	0	0	0	1

Bild 4.9. Code zum Schieberegister-Zähler von Bild 4.8

Macht man bei einem Schieberegister aus r Flipflops

$$Z = \overline{X_r},$$

so entsteht ein Schieberegister mit invertierter Rückführung mit dem Zählzyklus 2 r. Aus fünf Flipflops erhält man nach diesem Prinzip die in Bild 4.8 dargestellte Dezimalzählstufe. Der Code (Bild 4.9) gestattet eine relativ einfache Decodierung (zehn NAND-Gatter mit je zwei Eingängen). Er ist ferner einschrittig, d. h. bei jedem Zählschritt ändert sich nur einer der fünf Binärwerte. (Bei Änderung in mehreren Binärstellen können dadurch, daß die Flipflops nicht genau gleichzeitig kippen, vorübergehend 5 bit-Kombinationen auftreten, die zu Fehlern führen.)

Zählfolge	Dezimal-äquivalent	A	B	C	D	A^{n+1}
0	0	0	0	0	0	1
1	1	1	0	0	0	1
2	3	1	1	0	0	0
3	6	0	1	1	0	1
4	13	1	0	1	1	1
5	11	1	1	0	1	1
6	7	1	1	1	0	0
7	14	0	1	1	1	0
8	12	0	0	1	1	0
9	8	0	0	0	1	0

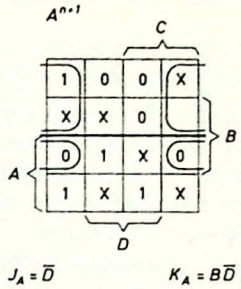


Bild 4.10. Wahrheitstabelle und KV-Tafel (für das Flipflop A) der Schieberegister-Dezimalzählstufe von Bild 4.11

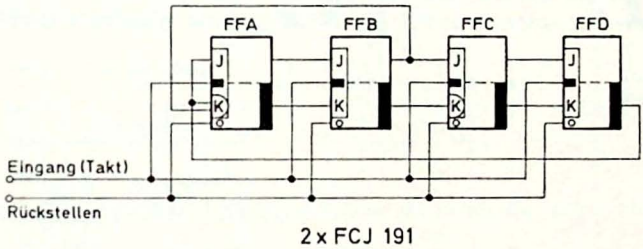


Bild 4.11. 4 bit-Schieberegister als Dezimalzählstufe

Auch aus einem 4 bit-Schieberegister kann man eine Dezimalzählstufe machen, wenn man das Eingangssignal Z bzw. die Eingangsbedingung für das erste Flipflop geeignet wählt. Da mit einer solchen Wahl die Zustände der übrigen Flipflops aufgrund der Schieberegisterfunktion (Wahrheitstabelle Bild 4.7) bereits festgelegt sind, ist die Anzahl der Codes, bei denen nach zehn Taktimpulsen wieder die Anfangskombination der vier Flipflops erreicht wird, stark eingeschränkt. Verlangt man ferner, daß die Binärkombination 0000 vorkommt (als Nullstellung des Zählers), so sind nur sieben verschiedene Codes möglich. Der hier verwendete Code ist in Bild 4.10 angegeben und zeichnet sich durch die einfachsten Eingangsbedingungen für das Flipflop A aus. Aus der KV-Tafel liest man ab:

$$J_A = \overline{D} \qquad K_A = B\overline{D}\,.$$

Damit erhält man die in Bild 4.11 angegebene Schaltung.

4.4. Vorwärts-Rückwärts-Zähler

Bei Vorwärts-Rückwärts-Zählern kann die Zählrichtung durch zusätzliche Steuersignale vorgegeben werden.

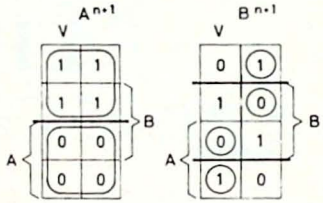
Zähler dieser Art werden meist synchron aufgebaut, weil das Verknüpfungsnetzwerk wesentlich einfacher ist als bei der entsprechenden asynchronen Ausführung. Außerdem läßt sich bei asynchronen Schaltungen ein Fehlverhalten des Zählers bei der Richtungsumschaltung nicht immer mit einfachen Mitteln vermeiden.

Für einen Viererzähler im Dual-Code sollen das Prinzip und die Berechnung eines Vorwärts-Rückwärts-Zählers gezeigt werden. Die Zählrichtung wird an den Eingängen Vorwärts (V) und Rückwärts (R) eingestellt:

$V = 1 \quad R = 0$ Zählrichtung Vorwärts;
$V = 0 \quad R = 1$ Zählrichtung Rückwärts.

Zur Berechnung des Zählers werden die Eingangsvariablen V und R mit in die Wahrheitstabelle und die KV-Tafeln einbezogen. Da $V = \overline{R}$ ist, erhält man mit den Variablen A und B der Flipflops eine Wahrheitstabelle mit drei

Dezimal-äquivalent	V	A	B	A^{n+1}	B^{n+1}
0	1	0	0	1	0
1	1	1	0	0	1
2	1	0	1	1	1
3	1	1	1	0	0
0	0	0	0	1	1
1	0	1	0	0	0
2	0	0	1	1	0
3	0	1	1	0	1



$J_A = K_A = 1$ $\quad J_B = K_B = VA \cdot \overline{VA}$

$= \overline{\overline{VA} \cdot \overline{RA}}$ (DTL)

$= \overline{\overline{VA} \cdot RA}$ (TTL)

Bild 4.12. Wahrheitstabelle und KV-Tafeln zur Berechnung eines Vorwärts-Rückwärts-Zählers mit dem Zählzyklus 4

Variablen (acht Zeilen) nach Bild 4.12. Aus den KV-Tafeln folgt bei der Verwendung von JK-Flipflops

$$J_A = K_A = 1$$
$$J_B = K_B = VA + \overline{VA}$$

für DTL: $J_B = K_B = \overline{\overline{VA} \cdot \overline{RA}}$ („wired AND")

für TTL: $J_B = K_B = \overline{\overline{VA} + RA}$ (UND-ODER-NICHT-Gatter)

Die Schaltungen des Vierer-Zählers in DTL- und TTL-Technik sind in Bild 4.13 angegeben. Als weitere Beispiele für Vorwärts-Rückwärts-Zähler zeigen die Bilder 4.14 und 4.15 einen Zähler im Dual-Code und eine Dezimalzählstufe im 8-4-2-1-Code, die sich durch ihren geringen Aufwand auszeichnet (sechs Gehäuse).

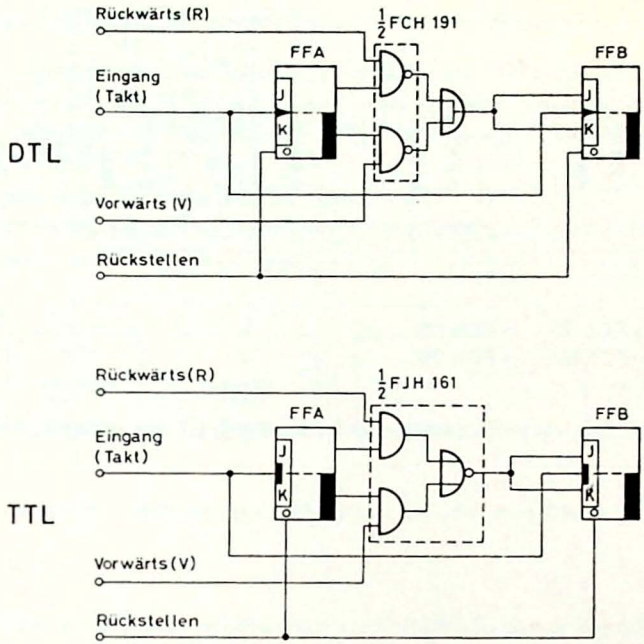


Bild 4.13. Vorwärts-Rückwärts-Zähler im Dualcode, Zählzyklus 4

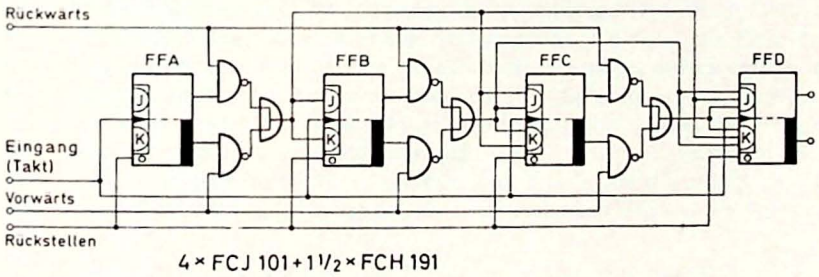
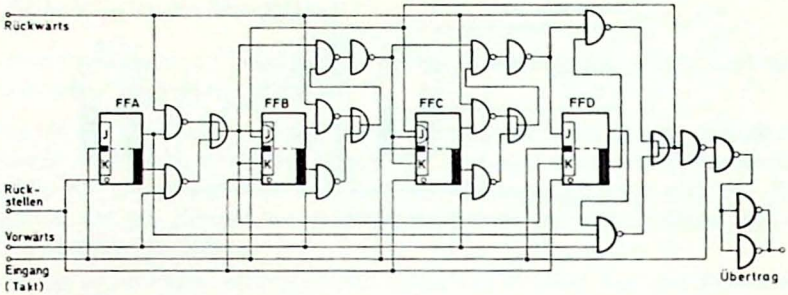


Bild 4.14. Vorwärts-Rückwärts-Zähler im Dualcode, Zählzyklus 16



2×FCJ 121 1×FCH 171
2×FCH191 1×FCH 211

Bild 4.15. Vorwärts-Rückwärts-Zähler im 8-4-2-1-Code in sechs Gehäusen

4.5. Übertragsbildung bei mehrstelligen Dezimalzählern

Die bisher behandelten Dezimalzähler ermöglichen nur einen Zählzyklus bis 10. Für Zyklen bis 10^n müssen n dieser Anordnungen zusammengefaßt werden. Von den vielen Möglichkeiten sollen hier nur die einfachste und die „schnellste" angegeben werden:

a) asynchrone Berücksichtigung der Überträge,
b) synchrone Anordnung mit paralleler Berücksichtigung aller Überträge.

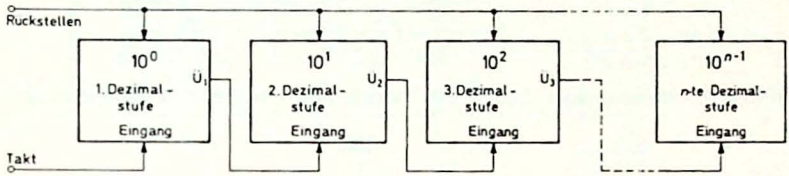


Bild 4.16. Mehrstufiger Zähler mit asynchronem Übertrag

Die einfachste Anordnung erhält man nach Bild 4.16 durch asynchrones Zusammenschalten der Dezimalstufen. Dabei bildet der Übertrag der vorangehenden Stufe den Takt für die nachfolgende. Die Vorteile dieser Anordnung liegen in ihrer Einfachheit und der relativ geringen Belastung für den Übertragungsausgang Ü der taktgebenden Stufen. Ein Zähler nach diesem Prinzip kann zum Beispiel mit Dezimalstufen nach Bild 4.3 oder Bild 4.4 aufgebaut werden.

Die maximale Zählfrequenz ist jedoch verhältnismäßig klein. Beim Übergang von der Zählerstellung 999 ... 9 in die Stellung 000 ... 0 wird die Einstellzeit des Zählers durch die Summe der in sämtlichen Stufen auftretenden Verzögerungszeiten bestimmt. Erst nach dieser Zeit zeigt eine Decodierschaltung den Zählerstand richtig an. D. h. für Anwendungen, bei denen der jeweilige Zählerstand in anderen logischen Schaltungen — zum Beispiel in einem Rechenwerk — weiter verarbeitet werden soll, leitet sich die zulässige Zählfrequenz aus dieser im ungünstigsten Fall auftretenden Gesamtverzögerungszeit her.

Bild 4.17 zeigt eine Anordnung von n Dezimalstufen mit paralleler Berücksichtigung aller Überträge. Jede Dezimalstufe wird dabei durch eine Schaltung nach Bild 4.18 realisiert. Es handelt sich hierbei wieder um einen synchronen Zähler im 5-4-2-1-Code, wie er bereits erläutert wurde. Anstelle der Doppel-Flipflops müssen hier jedoch Einzel-Flipflops verwendet werden, weil bei jedem Flipflop je ein zusätzlicher Eingang J und K für den eingehenden Übertrag $Ü_{n-1}$ benötigt wird. Auf diese Weise bleibt die Informationsaufnahme aller Flipflops solange gesperrt, wie $Ü_{n-1} = 0$ ist. Erst bei

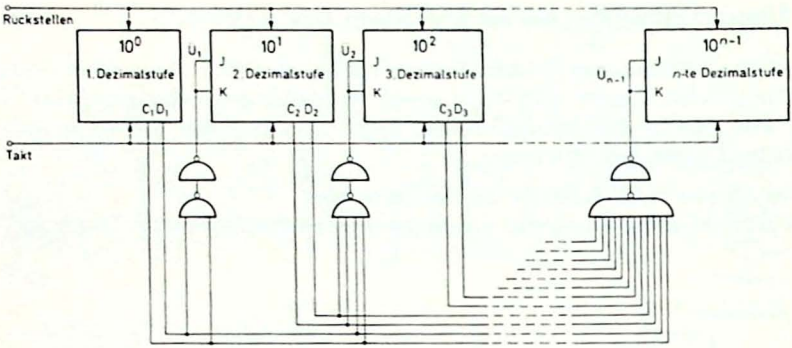


Bild 4.17. Mehrstufiger Zähler mit parallelem Übertrag (DTL-FC-Reihe)

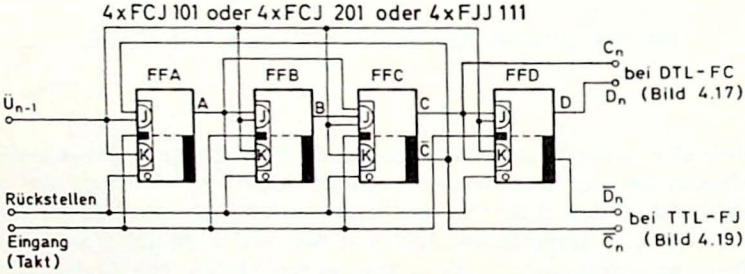


Bild 4.18. Dezimalzählstufe im 5-4-2-1-Code für einen Zähler mit parallelem Übertrag

Vorliegen eines eingehenden Übertrags $Ü_{n-1} = 1$ kann die Zählstufe mit der folgenden aktiven Taktflanke in ihre durch den Code vorgegebene nächste Stellung gehen.

Bei der Stellung 9 = 0011 der Dezimalstufen — und zwar nur in dieser — befinden sich die Flipflops FFC und FFD im Zustand 1. Das ist also ein hinreichendes Merkmal zur Bildung eines Übertrages an die nächst höherwertige Stufe. Die Boolesche Gleichung für den Übertrag lautet daher

$$Ü_{n-1} = C_1 D_1 \cdot C_2 D_2 \cdot C_3 D_3 \ldots C_{n-1} D_{n-1} .$$

Diese Gleichung gilt nur für den 5-4-2-1-Code. Das Prinzip läßt sich jedoch auch auf andere Codes übertragen, sofern je Flipflop ein J- und ein K-Eingang zur Auswertung des Übertrages frei sind.

Der Vorteil dieser Anordnung liegt in der geringen Gesamtverzögerungszeit, das bedeutet hohe Zählgeschwindigkeit.

In TTL-Technik wäre eine Realisierung der Funktion $\ddot{U}_{n-1}$ auf einfache Weise, d. h. in zwei NAND-Gatter-Ebenen wie in Bild 4.17, nur bis zu n = 5 Dezimalstellen möglich; denn TTL-NAND-Gatter haben höchstens acht Eingänge, und eine Erweiterung der NAND-Funktion durch Expandereingänge wie bei der DTL-Technik ist nicht möglich. Unter Benutzung der invertierten Signale ($\overline{C_1}, \overline{D_1}$ usw.) kann man jedoch nach Bild 4.19 mit TTL-UND-

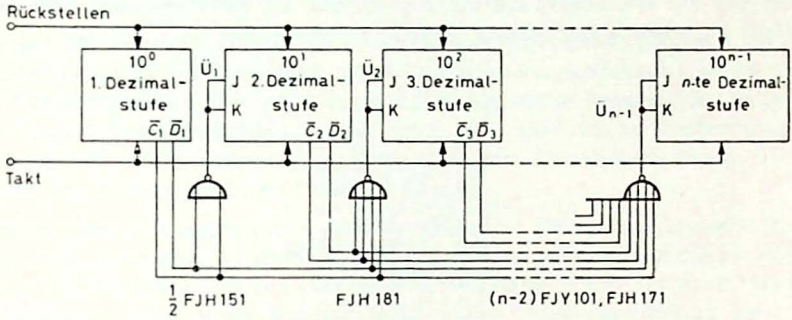


Bild 4.19. Mehrstufiger Zähler mit parallelem Übertrag (TTL-FJ-Reihe)

ODER-NICHT-Gattern eine auf höhere Stellenzahlen erweiterbare Übertragsbildung vornehmen. Da hierbei nur eine Gatterebene durchlaufen wird, hat man außerdem eine geringere Signalverzögerungszeit als bei einer Zweiebenenlösung gemäß Bild 4.17.

4.6. Decodierung und Anzeige des Zählerinhalts

Der Inhalt eines Zählers ist durch die Zustände seiner Flipflops, d. h. durch das an den Flipflop-Ausgängen abfragbare Codewort gegeben, bei 4 bit-Zählern also durch binäre Tetraden. Zur Umsetzung der Codewörter in eine Dezimalzahl braucht man eine Decodierschaltung aus zehn Gattern. Die Eingangsbedingungen der Gatter werden aus KV-Tafeln für den betreffenden Code ermittelt. Bei Anliegen der jeweils gültigen Eingangsbedingung erhalten wir am Gatterausgang ein Signal, das zu einer Anzeige oder einer weiteren logischen Verarbeitung benutzt werden kann.

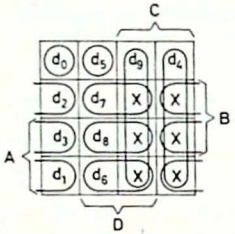


Bild 4.20. KV-Tafel zur Decodierung des 5-4-2-1-Codes

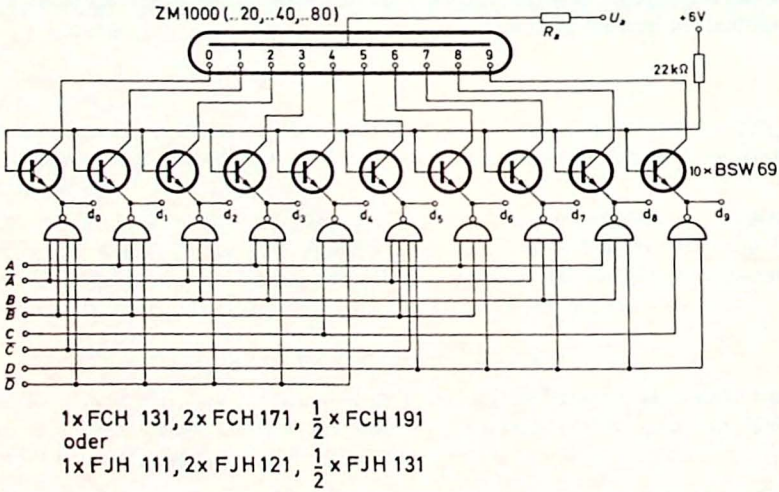


Bild 4.21. Decodierschaltung und Ziffernanzeige für den 5-4-2-1-Code

Als Beispiel ist in Bild 4.20 die KV-Tafel für die Decodierung des 5-4-2-1-Codes angegeben. Anhand von Tabelle 4.2 sucht man das jeder Tetrade (Spalten A bis D) zugeordnete Feld in der KV-Tafel auf und trägt hier die zugehörige Dezimalziffer, zum Beispiel in der Schreibweise d_0, d_1, d_2 usw. ein. Unter Berücksichtigung der durch X gekennzeichneten, frei wählbaren Positionen erhält man für die zehn Decodiergatter

$$d_0 = \overline{A}\,\overline{B}\,\overline{C}\,\overline{D} \quad d_1 = A\overline{B}\,\overline{D} \quad d_2 = \overline{A}B\overline{D} \quad d_3 = AB\overline{D} \quad d_4 = C\overline{D}$$
$$d_5 = \overline{A}\,\overline{B}\,\overline{C}D \quad d_6 = A\overline{B}D \quad d_7 = \overline{A}BD \quad d_8 = ABD \quad d_9 = CD.$$

Soll der Zählerinhalt durch Ziffernanzeigeröhren angezeigt werden, so müssen Transistoren mit genügend hoher Durchbruchsspannung verwendet werden. Die decodierte Ziffer wird durch LOW-Signal am Ausgang des betreffenden Gatters gekennzeichnet. Damit wird der zugeordnete Treibertransistor über dem Emitter eingeschaltet (Bild 4.21) und die angeschlossene Glimmstrecke der Anzeigeröhre gezündet.

Wird die Decodierung nur zur Anzeige und nicht für weitere logische Operationen herangezogen, so kann von der Tatsache Gebrauch gemacht werden, daß die Binärkombinationen von jeweils zwei Ziffern sich nur in der Stelle D unterscheiden. Die Basis-Emitter-Strecke des Treibertransistors kann mit zur Decodierung herangezogen werden. Man erhält dann die wesentlich einfachere Schaltung des Bildes 4.22. Der Basisstrom für die Treibertransistoren wird von den Invertern für die Signale D und $\overline{D}$ geliefert. Bei Gattern der TTL-FJ-Reihe sollte der Basisstrom durch einen Widerstand R_V begrenzt werden. Bild 4.23 zeigt eine mit dieser vereinfachten Decodierung und aus DTL-FC-Schaltungen aufgebaute Zählstufe.

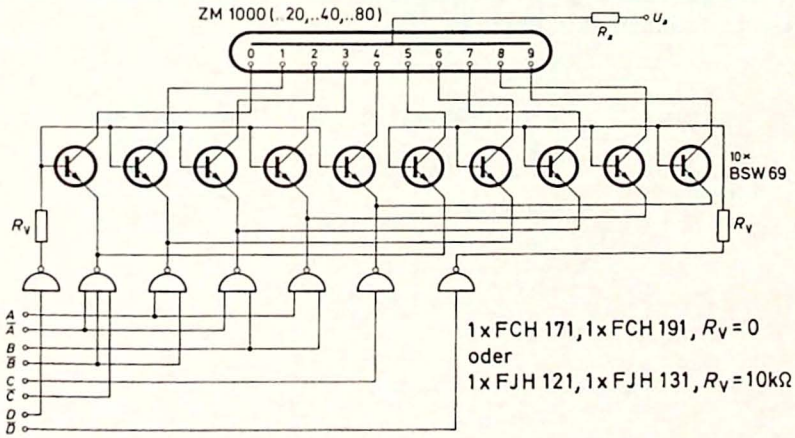


Bild 4.22. Vereinfachte Decodierschaltung für die Ziffernanzeige im 5-4-2-1-Code

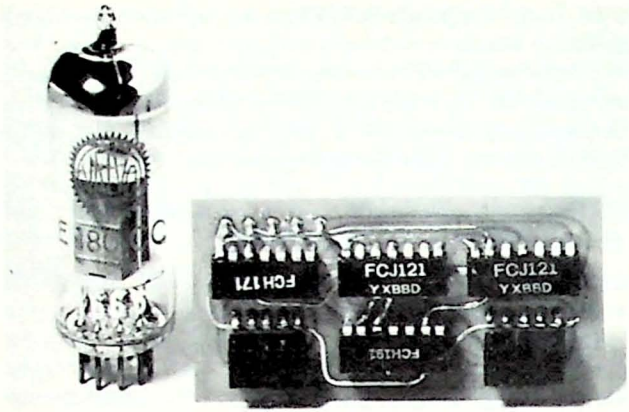


Bild 4.23. Dezimalzählstufe in DTL-Technik mit Decodier- und Ansteuerschaltung für eine Ziffernanzeigeröhre (vgl. Bilder 4.4 und 4.22)

4.7. Digitaler Frequenzmesser

Ein einfaches Beispiel für die Anwendung von mehrstelligen Zählern mit Decodierung und Anzeige ist ein digitaler Frequenzmesser, der nach dem Prinzip von Bild 4.24 arbeitet. Von einer Normalfrequenz bzw. einer Zeitbasis wird ein Meßintervall bestimmter Dauer abgeleitet. Ein Zähler registriert die während dieses Meßintervalls eintreffenden Perioden. Am Ende eines Meßintervalls von zum Beispiel einer Sekunde gibt der Zählerstand die gemessene Frequenz f_x in Hertz an.

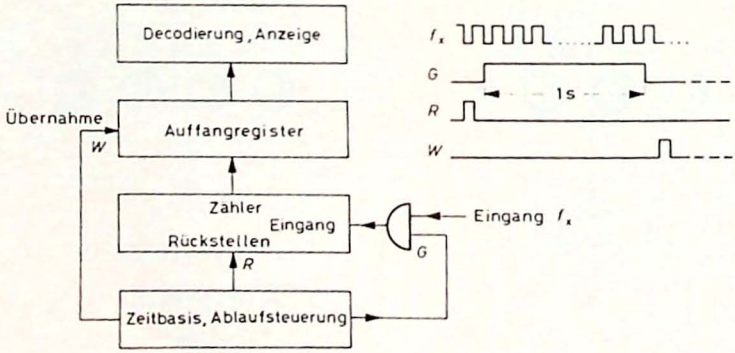


Bild 4.24. Prinzip eines digitalen Frequenzmessers mit Zwischenspeicherung der Meßergebnisse

Häufig wird der Zählerstand mit Hilfe eines Übernahmeimpulses W in einem Auffangregister zwischengespeichert. Man kann dann den Zähler löschen und einen neuen Meßzyklus beginnen, während gleichzeitig das im letzten Meßintervall gewonnene Ergebnis decodiert und angezeigt wird.

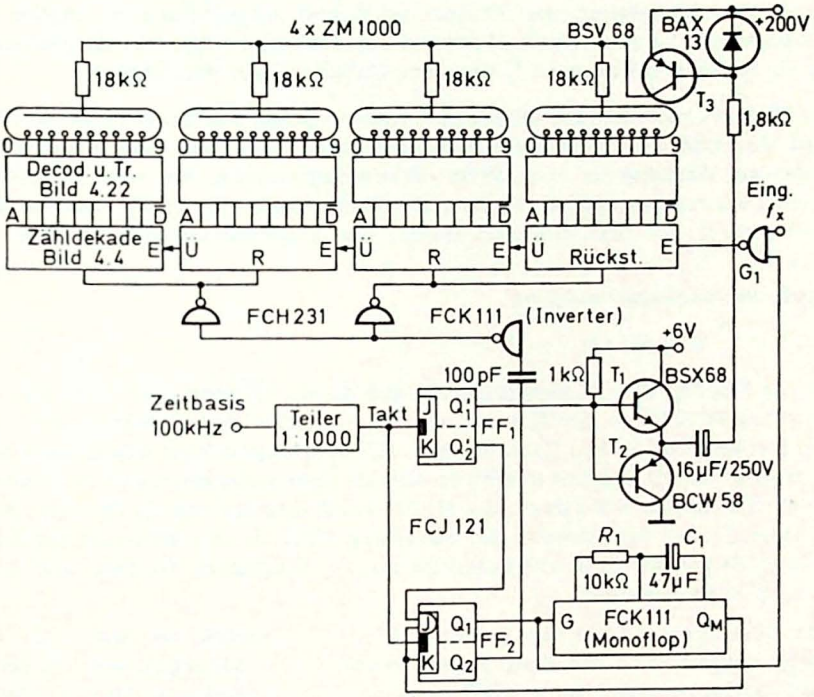


Bild 4.25. Einfacher digitaler Frequenzmesser ($f_{x\,max}$ = 999,9 kHz)

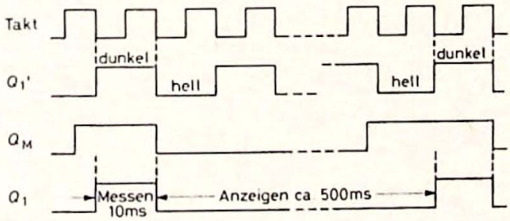


Bild 4.26. Impulsdiagramm zu Bild 4.25

Der im folgenden beschriebene einfache Frequenzmesser nach Bild 4.25 arbeitet mit einem Meßintervall von 10 ms, das zum Beispiel durch Frequenz-Untersetzung aus einem 100 kHz-Quarzoszillator gewonnen werden kann. Die letzte Stelle zeigt dann 100 Hz-Schritte an. Da das Meßintervall hier sehr klein gegenüber der Anzeigezeit von etwa 500 ms ist, wird auf die Zwischenspeicherung in einem Auffangregister verzichtet und der Zählerinhalt direkt angezeigt. Während des Zählvorgangs wird die Anzeige dunkel getastet. Das Rückstellen des Zählers wird erst unmittelbar zu Beginn des Meßintervalls vorgenommen. Während des Meßintervalls gelangt das Signal der zu messenden Frequenz f_x über das Gatter G_1 auf den Zähler.

Der Wechsel zwischen Zählphase und Anzeigephase wird mit Hilfe der Flipflops FF_1 und FF_2 folgendermaßen gesteuert (Bild 4.26). Das Flipflop FF_1 liefert am Ausgang Q_1' eine 50 Hz-Rechteckspannung. Sie schaltet den gemeinsamen Anodenschalter T_3 über die Treiberstufe T_1, T_2 für jeweils 10 ms abwechselnd ein und aus und damit die Ziffernanzeigeröhren hell und dunkel.

Durch die Eingangsbedingung

$$J = Q_2' Q_M$$

für das Flipflop FF_2 ist sichergestellt, daß dieses Flipflop nach Rückkehr des Monoflop FCK 111 in den Ruhezustand Q_M = HIGH erst zu Beginn der nächsten Dunkelphase in den Zustand Q_1 = HIGH übergeht und damit das Gatter G_1 freigibt. Somit beginnt das Meßintervall stets zusammen mit der Dunkelphase. Gleichzeitig wird durch die HIGH-LOW-Flanke von Q_2 über den Kondensator C_1 und den Inverter der Schaltung FCK 111 ein 200 ns langer Rückstellimpuls gewonnen (LOW-Potential an den Eingängen R). Der neue Zählvorgang kann beginnen.

Nach 10 ms geht FF_2 in den Zustand Q_1 = LOW zurück, das Gatter G_1 wird wieder gesperrt und der Zählvorgang beendet. Das Monoflop wird in seinen quasistabilen Zustand Q_M = LOW versetzt. Zählerstand und Anzeige bleiben für etwa 500 ms, gegeben durch das Zeitglied R_1, C_1, erhalten. Die Rückkehr des Monoflop in den Ruhezustand Q_M = HIGH bereitet das nächste Meßintervall vor.

Störungen in Anlagen mit integrierten Digitalschaltungen

Von A. Gebhardt

Inhalt

5.1. Einleitung 137
5.2. Definition des Störspannungsabstandes 138
5.3. Unerwünschte Verkopplung von Stromkreisen 141
5.4. Prinzipieller Aufbau einer Anlage mit digitalen Schaltungen 148
5.5. Eigenstörungen 150
5.6. Eingangs-Anpassung 157
5.7. Ausgangs-Anpassung 164
5.8. Maßnahmen im Stromversorgungsteil 168
5.9. Übertragung von Informationen 170
Literatur 177

5.1. Einleitung

Unter dem Begriff „Störungen" sollen im folgenden nur solche Effekte verstanden werden, die durch das Auftreten von unerwünschten Signalen an beliebigen Stellen in einem System verursacht werden. Fehler, die auf defekte Bauelemente zurückzuführen sind, werden nicht behandelt.

Bei der Bekämpfung von Störungen kann man zuerst versuchen, extrem starke Störquellen auszuschalten oder in ihrer Intensität zu mindern. Auf diese Weise läßt sich manchmal durch Maßnahmen an einer einzigen Stelle (nämlich am Störer) bereits ein Erfolg erzielen, ohne daß aufwendige Schutzmaßnahmen an allen gestörten Stellen erforderlich werden.

Auf der anderen Seite kann man natürlich nicht erwarten, daß ein System stets in einer störungsfreien Umgebung betrieben wird, so daß immer gewisse Mindestanforderungen bezüglich der Störsicherheit zu erfüllen sind.

Wenn am geplanten Einsatzort des Gerätes eine kurze Analyse des Störpegels durchgeführt werden kann, ist das für die Einplanung einer entsprechenden Störsicherheit wichtig. Anderenfalls kann man sich nur darum bemühen, die typischen Störmöglichkeiten nachzubilden und bei der Systementwicklung entsprechend zu berücksichtigen.

Um ein Störsignal und seine Auswirkungen erfolgreich bekämpfen zu können, muß man wissen:

1. wie sich Störsignale auf die verwendeten Schaltungen auswirken,
2. wodurch Störsignale hauptsächlich entstehen und
3. auf welchen Wegen sie in ein System eindringen können.

Diese Fragen werden in den Abschnitten 5.2 bis 5.5 behandelt. In den übrigen Abschnitten werden Maßnahmen gegen Störungen besprochen.

5.2. Definition des Störspannungsabstandes

Im folgenden sollen Störungen, die kürzer andauern als die mittlere Signalverzögerungszeit t_{pd} eines Gatters, als dynamische Störungen bezeichnet werden und solche, die länger dauern, als statische. Die Grenze zwischen diesen beiden Gruppen ist fließend.

5.2.1. Der statische Störspannungsabstand

Der Einfluß von statischen Störsignalen kann am besten an der Übertragungskennlinie $U_Q = f(U_G)$ eines Gatters nach Bild 5.1 untersucht werden. Danach kann die Eingangsspannung eines Gatters in drei verschiedenen Bereichen liegen. Bleibt sie kleiner als $U_{GL\,max}$, so liefert der Gatterausgang HIGH-Potential ($U_Q \geqq U_{QH\,min}$). Macht man die Eingangsspannung des Gatters größer als $U_{GH\,min}$, so erscheint am Gatterausgang LOW-Potential ($U_Q \leqq U_{QL\,max}$). Bewegt sich die Spannung am Eingang dagegen im Übergangsbereich $U_{GL\,max} < U_G < U_{GH\,min}$, so ist keine Aussage über die Ausgangsspannung möglich.

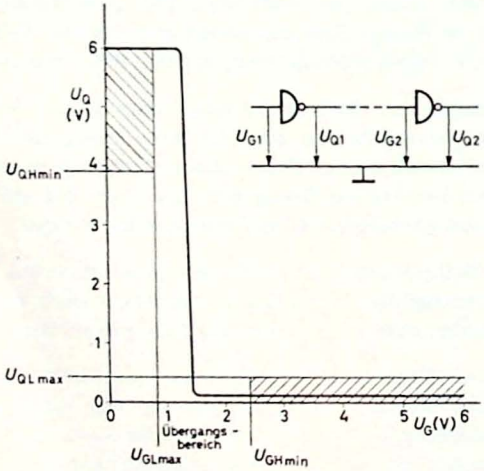


Bild 5.1. Typische Übertragungskennlinie eines NAND-Gatters

Die Bereichsgrenzen für Eingangs- und Ausgangsspannungen sind als Kompromiß zwischen möglichst großer Ausgangsverzweigung und möglichst hohem Störspannungsabstand festgelegt worden.

Befindet sich bei einer Reihenschaltung zweier gleicher Gatter (Bild 5.1) zum Beispiel der Ausgang des treibenden Gatters 1 im LOW-Zustand, dann beträgt die Ausgangsspannung höchstens $U_{QL\,max}$. Damit eine Spannung am

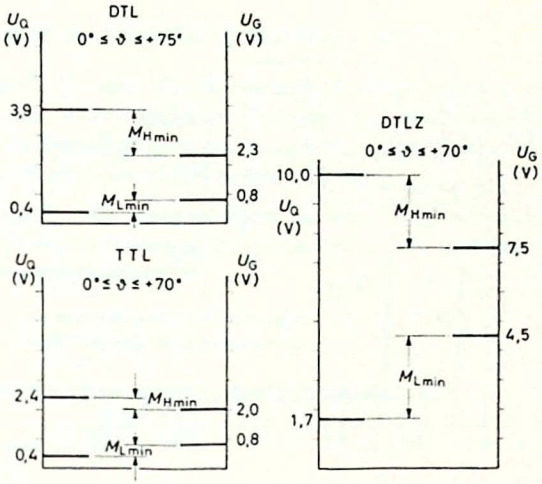


Bild 5.2. Gegenüberstellung der statischen Störspannungsabstände

Eingang von Gatter 2 noch sicher als Nullsignal erkannt wird, darf sie den Wert $U_{GL\,max}$ nicht überschreiten. Ein Störsignal, das auf die Verbindung zwischen den beiden Gattern gelangt, darf also nicht größer sein als

$$M_{L\,min} = U_{GL\,max} - U_{QL\,max}\,.$$

Im HIGH-Zustand gilt entsprechend

$$M_{H\,min} = U_{QH\,min} - U_{GH\,min}\,.$$

Die bei Einhaltung der in den Datenblättern angegebenen Betriebswerte unter ungünstigsten Bedingungen garantierten Störspannungsabstände sind für die FC-, FJ- und FZ-Reihe in dem Diagramm Bild 5.2 angegeben.

5.2.2. Der dynamische Störspannungsabstand

Ein Störsignal, dessen Dauer in der Größenordnung der mittleren Signalverzögerungszeit des Gatters liegt, darf wesentlich größer sein als ein durch M_L oder M_H begrenztes statisches Störsignal; denn

1. ist eine Änderung des Gatterzustandes erst dann möglich, wenn die in der Schaltung vorhandenen Kapazitäten umgeladen sind;
2. nimmt die Energie eines Impulses bei konstanter Impulsspannung mit kleiner werdender Impulsdauer schnell ab.

Das bedeutet, daß der dynamische Störspannungsabstand mit sinkender Störimpulsdauer schnell ansteigt.

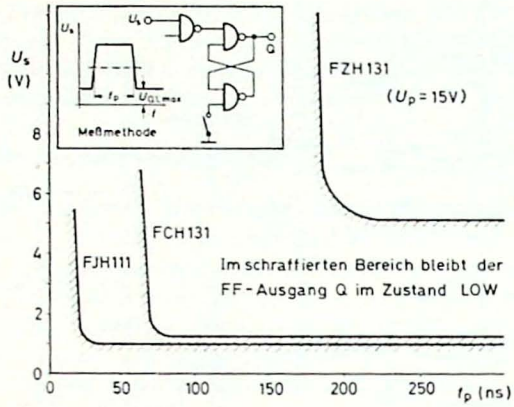


Bild 5.3. Dynamischer Störspannungsabstand bei DTL, TTL und DTLZ

In Bild 5.3 sind die Verhältnisse bei DTL-, TTL- und DTLZ-Gattern gegenübergestellt.

5.3. Unerwünschte Verkopplung von Stromkreisen

Die Hauptursache für das Wirksamwerden einer Störung ist eine unbeabsichtigte und daher unerwünschte Verkopplung von zwei oder mehr Stromkreisen. Diese Kreise können vollkommen oder auch nur teilweise zum System gehören (Eigen- bzw. Fremdstörungen).

Im folgenden soll davon ausgegangen werden, daß nur der störende Kreis aktiv ist, d. h. eine Spannungsquelle aufweist. Der gestörte Stromkreis soll aus passiven Elementen bestehen.

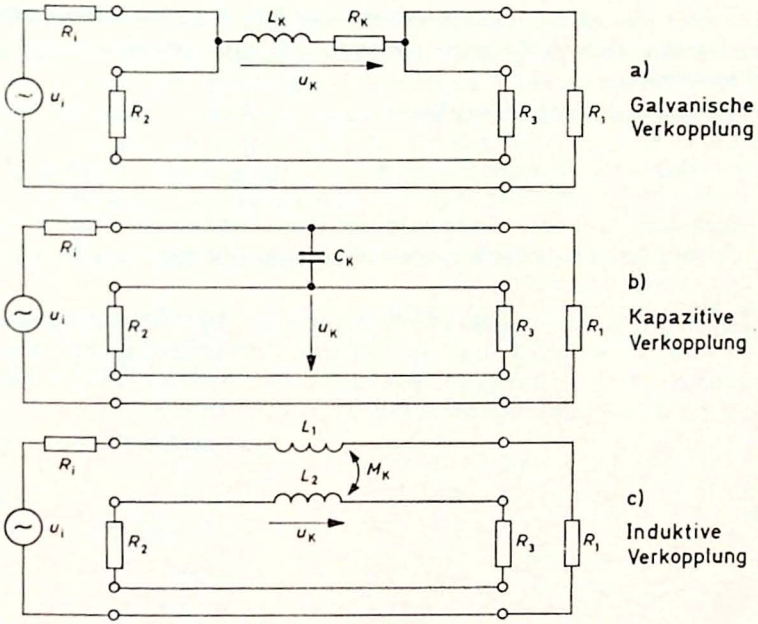


Bild 5.4. Verkopplung von Stromkreisen

Der Fall des gegenseitigen Übersprechens, wenn also beide Stromkreise eine Quelle aufweisen, kann mit Hilfe des Superpositionsgesetzes behandelt werden. Die hierfür notwendige Forderung der Linearität des Systems ist sicherlich meistens erfüllt.

In Bild 5.4 sind die drei möglichen Fälle einer einfachen Verkopplung dargestellt.

5.3.1. Galvanische Verkopplung

Die galvanische Verkopplung zweier Stromkreise erfolgt nach Bild 5.4 a durch den Strom, der über eine beiden Kreisen gemeinsame Impedanz fließt. Diese Impedanz ist in praktischen Fällen ausschließlich ohmsch-induktiv. Daher gilt für die in den gestörten Kreis eingekoppelte Spannung

$$u_K = R_K i + L_K \frac{di}{dt}. \tag{1}$$

Da die Absolutwerte der Ströme in den zur Diskussion stehenden Stromkreisen selten größer sind als einige Ampere und R_K in der Größenordnung von Milliohm liegt, hat die Gleichspannung $R_K \cdot i$ keine große Bedeutung.

Dagegen wird die induktive Komponente der Kopplungsimpedanz schon bei verhältnismäßig kleinen Strömen wirksam, die sehr schnell ein- oder ausgeschaltet werden.

Somit läßt sich Gleichung (1) annähern zu

$$u_K \approx L_K \frac{di}{dt}. \tag{2}$$

Zur Demonstration dieser Beziehung sei eine rechteckige Leiterplatte der Größe 10 cm x 11,5 cm betrachtet, die für die Aufnahme von etwa 16 Dual-in-line-Gehäusen vorgesehen ist.

Da jeder Baustein ohne Leiterbahnkreuzung an die Versorgungsspannung angeschlossen werden muß, ergeben sich zum Teil relativ große Zuleitungsinduktivitäten. Im ungünstigsten Fall kann die Stromzuführung für einen Baustein die Gestalt einer Rechteckschleife mit der Fläche

$$A_{\text{Schleife}} \approx 7\text{ cm x } 10{,}5\text{ cm} = 73{,}5\text{ cm}^2$$

und den Größen

$$L_{\text{Schleife}} \approx 390\text{ nH},$$
$$R_{\text{Schleife}} \approx 125\text{ m}\Omega$$

haben. Ändert sich der Strom in der Schleife um

$$\Delta i = 30\text{ mA innerhalb der Zeit } \Delta t = 20\text{ ns},$$

so verringert sich die Versorgungsspannung des betreffenden Bausteins und der benachbarten Bausteine um die Verkopplungsspannung

$$u_{KL} = 390 \cdot \frac{30}{20}\text{ mV} \approx 600\text{ mV}.$$

Dagegen ist der ohmsche Spannungsabfall von maximal

$$u_{KR} = 0{,}125 \cdot 30\text{ mV} = 3{,}75\text{ mV}$$

zu vernachlässigen.

Im betrachteten Fall ändert sich bei den meisten Bausteinen auf der Leiterplatte sowohl das LOW- als auch das HIGH-Potential bezüglich der Werte am Eingang der Leiterplatte. Durch Induktivitäten in der Versorgungszuführung zur Leiterplatte können sich noch größere Abweichungen von den Bezugspotentialen des Systems ergeben.

Grundsätzlich gibt es also zwei Möglichkeiten, die galvanische Verkopplung von Stromkreisen klein zu halten.

5.3.1.1. Verminderung der Kopplungsimpedanzen

Leitungen aufteilen, d. h. getrennte Versorgungsleitungen (auch Masseleitungen) für Verbraucher hoher Ströme (Relais, Lampen usw.) einerseits und Logikschaltungen andererseits verwenden.

Sternförmige Verdrahtungen auch für die Versorgung von Logikschaltungen vorsehen. Lassen sich gemeinsame Leitungen („Tannenbaum"-Verdrahtungen) zum Beispiel mit Rücksicht auf den Platzbedarf bei Leiterplatten nicht vermeiden, können die Kopplungsinduktivitäten durch breite und eng beieinander geführte Versorgungs- und Masseleitungen verringert werden. Gestell- oder Chassisteile nicht als Rückleitungen benutzen (Erdstromschleifen).

5.3.1.2. Vermeiden oder Kompensieren schneller Stromänderungen

Schnelle Stromänderungen können meistens nicht direkt beeinflußt werden. Durch zusätzliche Kondensatoren (Abblocken) lassen sich jedoch Spannungseinbrüche infolge kurzzeitiger Stromspitzen vermindern.

5.3.2. Kapazitive Verkopplung

Solange die in den gestörten Kreis eingekoppelte Spannung u_K (Bild 5.4 b) klein bleibt gegenüber der erzeugenden Spannung u_i, gilt

$$u_K = \frac{R_2 R_3}{R_2 + R_3} i_K = \frac{R_2 R_3}{R_2 + R_3} \frac{R_1}{R_1 + R_i} C_K \frac{du_i}{dt} . \tag{3}$$

Diese Gleichung soll zeigen, von welchen Parametern u_K abhängt. Sie darf jedoch in der Regel nicht zur Berechnung von u_K verwendet werden, weil die Bedingung $u_K \ll u_i$ in der Praxis meistens nicht erfüllt ist. Die Gleichung läßt erkennen, daß die Störspannung u_K um so größer ist, je größer der Signalhub und je kleiner die Anstiegs- oder Abfallzeit der Schaltvorgänge ist, unabhängig von der Impulsfolgefrequenz. Eine „langsame" Logik wird also bei gleichem Signalhub weniger Störungen verursachen als eine „schnelle" Logik. Außerdem sinkt die Störamplitude mit kleiner werdenden Abschlußwiderständen R_2 und R_3.

Für die Reduzierung kapazitiv eingekoppelter Störungen sind die in den folgenden Abschnitten behandelten Maßnahmen nützlich.

5.3.2.1. Verkleinern der Koppelkapazität

Möglichst großer Abstand zwischen parallelen Signalleitungen. Kabelbäume nur dann, wenn die betreffenden Leitungen keine Signale führen, sonst Punkt-zu-Punkt-Verdrahtung vorziehen.

Zusätzliche Masseleitungen, möglichst verdrillt mit der Signalleitung, vorsehen.

Vollständige Entkopplung erhält man durch geerdete Abschirmung der betreffenden Leitung, jedoch erhöht sich die Lastkapazität (z. B. bei Koaxial-Leitungen um 70 bis 100 pF/m).

5.3.2.2. Niedrige Abschlußwiderstände der Signalleitungen

Gatter mit Gegentakt-Ausgangsstufe verwenden (TTL-Gatter oder DTL-Leistungsgatter). Bei normalen DTL-Gattern (Ausgangswiderstand im HIGH-Zustand ca. 4 kΩ) externen Kollektorwiderstand von minimal 560 Ω zuschalten, die verfügbare Ausgangsverzweigung beträgt jedoch nur noch N = 1.

Gatter ohne internen Kollektorwiderstand nur einsetzen, wenn mehrere Gatter-Ausgänge miteinander verbunden werden („Wired AND") und mindestens ein externer Kollektorwiderstand verwendet wird.

5.3.2.3. Räumliche Trennung von Leitungen

Leitungen mit unvermeidbar großen oder schnellen Spannungsänderungen von den störempfindlichen Leitungen räumlich möglichst gut trennen.

5.3.3. Induktive Verkopplung

Induktive Verkopplungen zweier Stromkreise sind seltener als die beiden vorher behandelten. Die durch die Gegeninduktivität M_K (Bild 5.4 c) in den gestörten Kreis übertragene Spannung ist gegeben durch

$$u_K = -M_K \frac{di}{dt}, \tag{4}$$

wobei

$$M_K = k \sqrt{L_1 L_2} \tag{5}$$

ist. Der Kopplungsfaktor k hängt stark von der geometrischen Anordnung ab. Damit sind die wichtigsten Möglichkeiten zur Verkleinerung des induktiven Übersprechens erkennbar.

5.3.3.1. Schnelle Stromänderungen

Schnelle Stromänderungen nach Möglichkeit vermeiden oder kompensieren (s. Abschnitt 5.5.2).

5.3.3.2. Verkleinern der Induktivitäten L_1 und L_2

Sowohl bei den störenden Verbindungen (L_1) zu ohmschen und induktiven Verbrauchern mit hohen Strömen (Glühlampen, Relais) als auch bei den gestörten Signalverbindungen (L_2) müssen Hin- und Rückleitung jeweils möglichst eng beieinander geführt werden (Verdrillen). Störspannungen, die von nahezu ortsunabhängigen Magnetfeldern induziert werden, erfahren zusätzlich durch das Verdrillen größtenteils eine Kompensation.

5.3.3.3. Verkleinern des Koppelfaktors k

Vergrößern des räumlichen Abstandes zwischen den verkoppelten Leitungen.

5.3.3.4. Ferromagnetische Schirmung

Ist bei Störfrequenzen < 10 kHz wirksam.

5.3.4. Impedanz einiger Leiteranordnungen

Für erste Überschlagsbetrachtungen sollen im folgenden die Impedanzen gebräuchlicher Leiteranordnungen angegeben werden. Diese Werte können nur als Richtwerte angesehen werden, da sie Schwankungen unterworfen sind, die durch unterschiedliche Anordnungen und Werkstoffe bedingt sind.

Zylindrischer Kupferleiter im freien Raum (Rückleitung weit entfernt, kein anderer Leiter in der Nähe):

$$L = 2\,l \left[\ln\left(4\,\frac{l}{d}\right) + \frac{d}{2\,l} - 1 \right] \qquad (l > 30\,d) \tag{6}$$

L in nH, l (Länge) in cm bzw. in derselben Einheit wie d (Durchmesser).

Geätzter Kupferleiter (Rückleitung weit entfernt, kein anderer Leiter in der Nähe):

$$L' = 7 \ldots 5\,\frac{\text{nH}}{\text{cm}} \text{ bei } \begin{array}{l} b = 1 \ldots 3\,\text{mm}, \\ h = 35 \ldots 100\,\mu\text{m}; \end{array} \tag{7}$$

$$R' = 1{,}25\,\frac{\text{m}\Omega}{\text{cm}} \text{ bei } \begin{array}{l} b = 2\,\text{mm}, \\ h = 70\,\mu\text{m}. \end{array} \tag{8}$$

Verdrilltes Leiterpaar aus isolierter Kupferlitze

Litzen-Typ	q mm²	D_a mm	R' mΩ/m	L' nH/m	C' pF/m	Z Ω
5 x 0,1 ⌀	0,04	0,55	900	700	54	113,9
10 x 0,1 ⌀	0,08	0,65	450	590	58	101
14 x 0,15 ⌀	0,25	1,30	150	610	42	121
14 x 0,2 ⌀	0,50	1,60	75	530	47	106
24 x 0,2 ⌀	1,00	2,00	38	480	49	99

q Querschnitt
D_a Außendurchmesser mit Isolation
R' Widerstandsbelag für Hin- und Rückleitung
L' Induktivitätsbelag der Schleife
C' Kapazitätsbelag des Leiterpaares
Z Wellenwiderstand der Leitung

Bei eng nebeneinander liegenden Leitungen wird man also maximal mit Koppelkapazitäten $C_K' = 60$ bis 70 pF/m rechnen müssen.

Für die Kapazitäten gedruckter Leiterbahnen lassen sich wegen der inhomogenen Felder keine einfachen Formeln angeben, außerdem geht die Dielektrizitätskonstante der Trägerplatte ($\varepsilon_r = 3{,}9$ bis 8) wesentlich ein.

Für den häufig vorkommenden Fall, daß sich zwei parallele Leiterbahnen auf derselben Seite einer Leiterplatte befinden, sind in Bild 5.5 einige Meßergebnisse dargestellt. Wichtiger als die Angabe der Absolutwerte erscheint

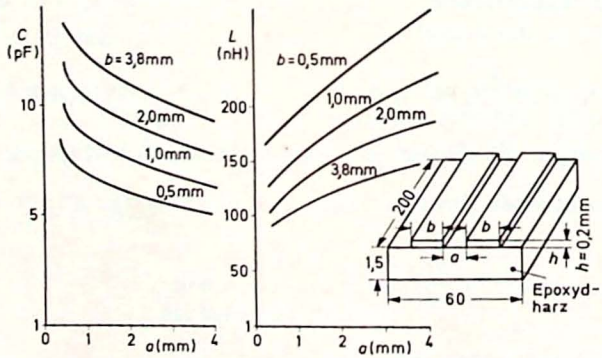


Bild 5.5. Impedanz gedruckter Leiterbahnen

die Auswertung der erkennbaren Tendenzen bei Parametervariationen. Man erkennt zum Beispiel, daß bei einer Verdoppelung der Leiterbahnbreite b auch der Leiterbahnabstand a mindestens doppelt so groß gewählt werden muß, um die Koppelkapazität ungefähr konstant zu halten.

Durch Einfügen einer Masseleitung zwischen zwei Leiterbahnen läßt sich die Kapazität im günstigsten Fall etwa um den Faktor 5 verringern. Dazu muß die Erdleitung etwa die dreifache Breite der Signalleitungen erhalten, und die Abstände sollen jeweils gleich der einfachen Leiterbahnbreite sein.

5.4. Prinzipieller Aufbau einer Anlage mit digitalen Schaltungen

Im folgenden sollen Störprobleme anhand einiger charakteristischer Beispiele erörtert werden. Meistens läßt sich eine digitale Anlage nach Bild 5.6 in folgende Gruppen aufteilen:

Anpassungsschaltungen für Eingangssignale,
Anpassungsschaltungen für Ausgangssignale,
Stromversorgung,
Logiksysteme.

Die ersten drei Gruppen haben neben Anpassung bzw. Stromversorgung vor allem die Aufgabe, das Logiksystem, den Kern der ganzen Anlage, gegen externe Störungen abzuschirmen.

Daneben haben die verschiedenen Anlagenteile im allgemeinen folgende Aufgaben:

Signale von prellenden mechanischen Schaltern werden in eine Form umgesetzt, die von den verwendeten Logik-Bausteinen fehlerfrei verarbeitet werden kann. Auch andere „systemfremde" Signale (Signale, die nicht im Logiksystem entstehen) müssen meistens erst umgesetzt und von begleitenden Störungen befreit werden, ehe sie verarbeitet werden können.

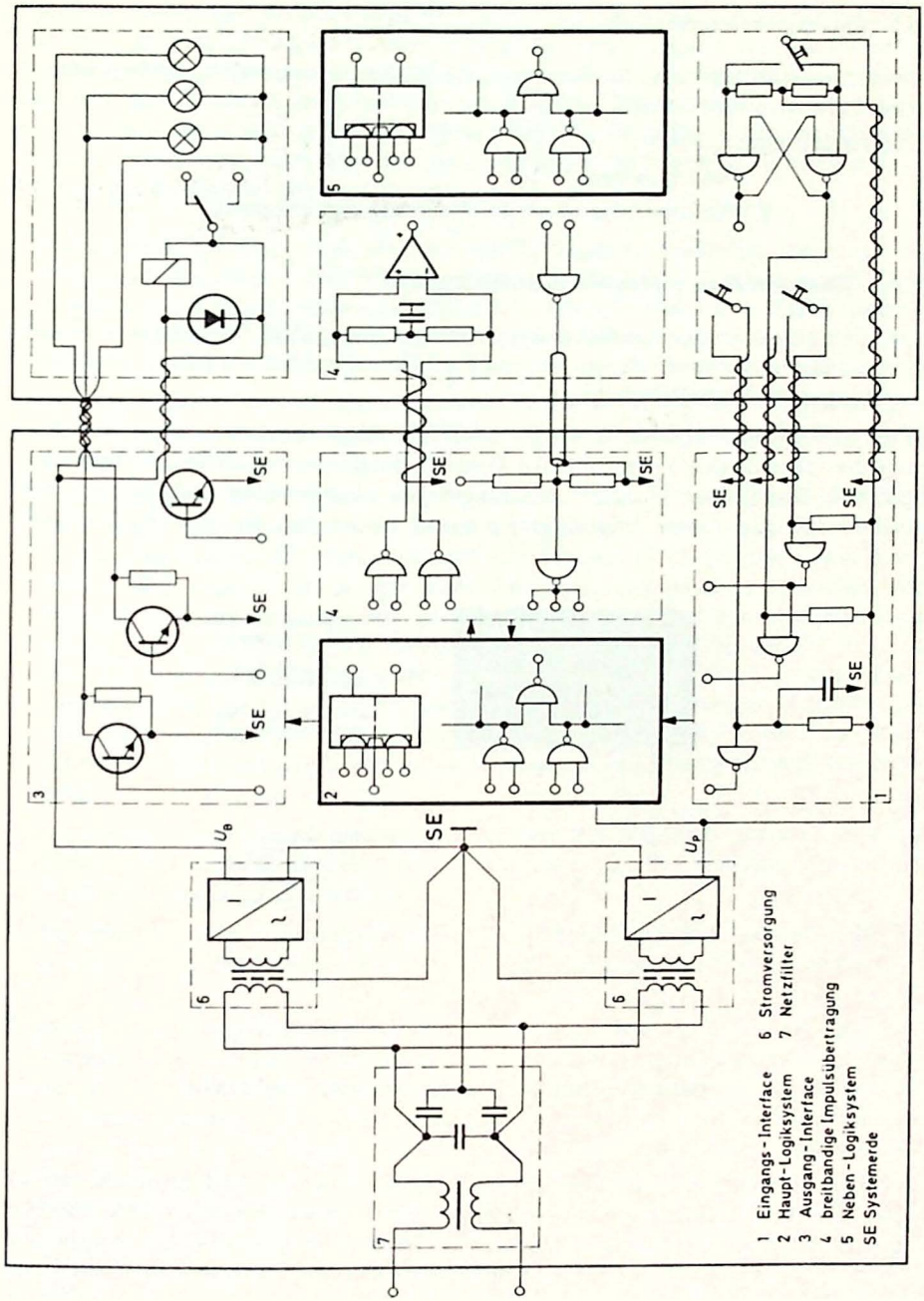
Ferner sind an den Ausgängen des Logiksystems meistens Anpassungsschaltungen notwendig, zum Beispiel zur Ansteuerung von Lampen und Relais. Üblicherweise muß ihre Arbeitsfrequenz — im Vergleich zur Frequenz des Logiksystems — nicht sehr hoch sein.

Bei der Übertragung von Impulsen mit hoher Taktfrequenz — besonders über Leitungen, die nicht mehr als elektrisch kurz bezeichnet werden können — sind besondere Maßnahmen notwendig, die in Abschnitt 5.9.3 besprochen werden sollen.

Auch wenn die um das Logiksystem herum angeordneten „peripheren" Gruppen keine Störsignale erzeugen und alle externen Störungen abschirmen, können Fehler auftreten. Diese im Logiksystem erzeugten „Eigenstörungen" zu beseitigen, muß stets die erste Aufgabe sein.

→

Bild 5.6. Grundsätzlicher Aufbau einer Anlage mit digitalen Schaltungen


1 Eingangs-Interface
2 Haupt-Logiksystem
3 Ausgang-Interface
4 breitbandige Impulsübertragung
5 Neben-Logiksystem
SE Systemerde
6 Stromversorgung
7 Netzfilter
SE
U_B
U_P

5.5. Eigenstörungen

Ihrer Entstehung nach lassen sich die Eigenstörungen im wesentlichen in zwei Gruppen einteilen:

Eigenstörungen durch

1. Übersprechen,
2. Verkopplung über die Versorgungsleitungen.

5.5.1. Übersprechen zwischen Signalleitungen

Da die Ströme in den Logikkreisen meistens klein sind, handelt es sich in der Praxis fast ausschließlich um kapazitives Übersprechen zwischen miteinander verkoppelten Signalleitungen.

Für die Festlegung der Grenzen und die Angabe einiger typischer Werte wurden Messungen gemäß der in Bild 5.7 dargestellten Meßschaltung durchgeführt. Das Gatter G_1 wird aus einem Impulsgenerator gespeist und treibt das Gatter G_3. Diese Impulsübertragung bildet die Störquelle. Die Gatter

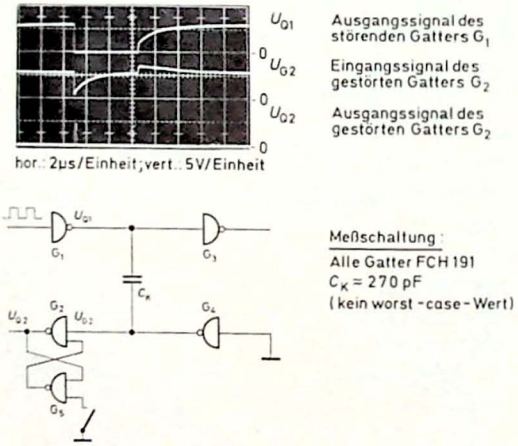


Bild 5.7. Kapazitives Übersprechen bei DTL

G_2 und G_4 schließen die gestörte Leitung am Anfang und Ende ab. Die kapazitive Verkopplung zwischen den beiden Signalleitungen wurde der Einfachheit halber durch eine diskrete Kapazität nachgebildet. Das ergibt ohne jede Einschränkung korrekte Ergebnisse, solange man sich auf elektrisch kurze Leitungen bezieht, solange also die Schaltzeiten der Gatter groß sind gegenüber der Signallaufzeit auf der Leitung.

Für eine eindeutige Bestimmung der maximal zulässigen Koppelkapazität, bei der noch kein Umschalten des Gatters G_2 erfolgt, kann man das Gatter G_2 durch Hinzufügen eines Gatters G_5 zu einem Basisflipflop ergänzen (Bild 5.7). Vor der Messung wird U_{Q2} am Flipflop durch Schließen des Schalters in den LOW-Zustand gesetzt. Dann wird C_K vergrößert, bis das Flipflop kippt. Die Messung muß für den ungünstigsten Betriebsfall vorgenommen werden, das bedeutet unter anderem:

1. Die gestörte Leitung muß sich im HIGH-Zustand befinden; denn einerseits sind Ausgangs- und Eingangswiderstände eines Gatters im HIGH-Zustand am größten, andererseits ist bei allen Gattern die Übergangszeit der $1 \rightarrow 0$-Flanke stets kleiner als die der $0 \rightarrow 1$-Flanke.

2. Die Impulsfolgefrequenz des störenden Signals muß hinreichend klein gewählt werden, so daß sich die Einflüsse der beiden Störsignalflanken nicht teilweise kompensieren.

   Der Ausgangswiderstand der Gegentaktstufe eines TTL-Gatters wird sehr groß, wenn am Ausgang eine Spannung angelegt wird, die größer ist als die Leerlaufspannung. Daher dauert es nach der $0 \rightarrow 1$-Flanke eines Störsignals U_{Q1} relativ lange, bis sich die Leitungskapazität entladen hat (U_{G2} im oberen Oszillogramm von Bild 5.9). Würde während dieser Zeit bereits die $1 \rightarrow 0$-Flanke des störenden Signals U_{Q1} erscheinen, so könnte sich nur eine entsprechend kleine Absenkung des Signals U_{G2} gegenüber der Spannung im ungestörten Zustand ergeben. Ist dagegen der Einfluß einer vorangegangenen $0 \rightarrow 1$-Flanke von U_{Q1} wie im oberen Oszillogramm bereits abgeklungen, so kommt der folgende $1 \rightarrow 0$-Übergang voll zur Geltung.

   Im unteren Oszillogramm von Bild 5.9 ist der Verlauf von U_{G2} gezeigt, wenn schon kurz nach der $0 \rightarrow 1$-Flanke von U_{Q1} der nächste Störimpuls (nächste $1 \rightarrow 0$-Flanke) kommt.

   Die Realisierung des ungünstigsten Betriebsfalles kann, wie in Bild 5.7 gezeigt, durch Ergänzung von G_2 zu einem Basisflipflop erzielt werden.

3. Versorgungsspannung und Ausgangsspannung der zu störenden Anordnung müssen auf die im Datenblatt angegebenen ungünstigsten Werte eingestellt werden. Für das Oszillogramm in Bild 5.7 wurde die Kapazität C_K sehr groß gewählt, um störendes und gestörtes Signal deutlich nebeneinander stellen zu können. Reduziert man die Versorgungsspannung der Gatter G_2, G_4 und G_5 auf $U_P = 5{,}7$ V und vermindert man das Ausgangssignal von Gatter G_4 (durch Anheben der Eingangsspannung) auf $U_{Q4} = 5{,}3$ V, so tritt bis zu einem Wert $C_{K\,grenz} = 140$ pF kein Kippen des Kontroll-Flipflop ein. Im ungünstigsten Fall ist jedoch bei einem DTL-Gatter nur mit einer Ausgangsspannung $U_{QH\,min} = 3{,}9$ V zu rechnen, und $C_{K\,grenz}$ wird entsprechend kleiner.

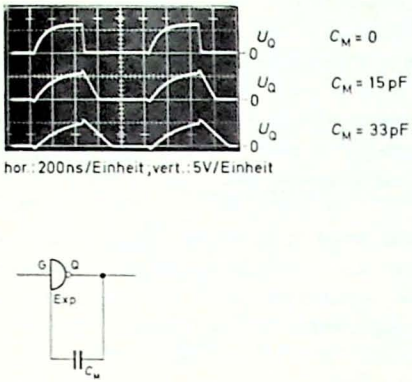


Bild 5.8. Beeinflussung der 1 → 0-Flanke eines DTL-Gatters

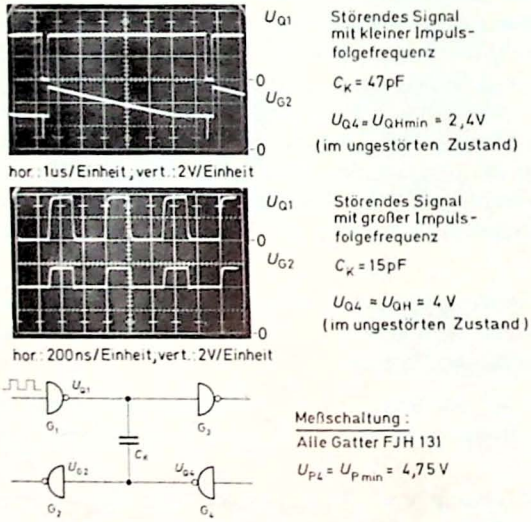


Bild 5.9. Einfluß der Impulsfolgefrequenz bei kapazitivem Übersprechen

Wie nahe man an diesen Wert mit der im praktischen Schaltungsaufbau vorkommenden Kapazität herangehen darf, wird von Fall zu Fall entschieden werden müssen. In der Regel dürfte ein Sicherheitsabstand, gegeben durch

$$C_{K\,max} \leqq \frac{1}{2}\, C_{K\,grenz}\,, \tag{9}$$

als günstiger Kompromiß anzusehen sein. Kann man sich zum Beispiel auf einen Betrieb bei $\vartheta_U = 25$ °C beschränken, so gilt $U_{QH\,min} = 5{,}3$ V. Läßt man dann in einer Schaltung als Koppelkapazität zu einer benachbarten Leitung maximal etwa 70 pF zu, so dürfte die vorhandene Sicherheit gegenüber dem typischen Wert von $C_{K\,grenz} = 140$ pF groß genug sein, um alle nicht berücksichtigten Parametervariationen aufzufangen.

Auf einer Leiterplatte wird eine so große Koppelkapazität in der Regel nicht auftreten. Bei Verlegung von zwei Signalleitungen in einem Kabelbaum genügt dafür aber schon eine Koppellänge von etwa 1 m.

Sind größere Koppelkapazitäten unvermeidbar, so kann bei Verwendung der DTL-FC-Reihe das kapazitive Übersprechen noch auf andere Weise reduziert werden. Dabei muß jedoch eine Signalverzögerung in Kauf genommen werden. Bild 5.8 zeigt, wie man durch kapazitive Rückkopplung vom Ausgang auf den Expanderpunkt eines DTL-Gatters die Übergangszeit der $1 \rightarrow 0$-Flanke am Ausgang vergrößern kann. Der Zusammenhang zwischen der Abfallzeit t_f und der Kapazität C_M ist etwa durch folgende Zahlenwertgleichung gegeben

$$t_f \approx 8\, C_M \; (10\text{ pF} < C_M < 100\text{ pF})\,, \qquad (10)$$
$$t_f \text{ in ns}\,,\; C_M \text{ in pF}$$

(ohne C_M gilt: $t_f = 25$ bis 30 ns).

Bei genügender Vergrößerung der Kapazität C_M kann man erreichen, daß das so beschaltete Gatter auf schnelle Änderungen der Eingangsspannung überhaupt nicht mehr reagiert. (Bei entsprechend niederfrequenten Nutzsignalen kann man auf diese Art höherfrequente Störsignale unterdrücken.) In diesem Falle sind natürlich auch die Übergangszeiten der Nutzsignale am Gatterausgang so groß, daß die direkte Ansteuerung anderer, unbeschalteter Gatter nicht empfehlenswert ist. Mit Hilfe des Schwellenwertschalters FCL 101 kann dann auf einfache Weise eine Impulsregeneration erreicht werden.

TTL-Gatter bieten — bedingt durch die Schaltungstechnik — nicht diese Möglichkeit, wohl aber die Gatter der FZ-Reihe.

Die Auswirkungen einer zu großen Koppelkapazität bei TTL-Gattern sind aus Bild 5.10 zu entnehmen. Für TTL-Gatter der FJ-Reihe liegt die Grenze für das Wirksamwerden kapazitiver Störungen schon bei $C_{K\,grenz} = 45$ pF. Zur Einhaltung eines genügend großen Sicherheitsabstandes $C_{K\,max} \leqq 0{,}5\, C_{K\,grenz}$ ist also ein sehr sorgfältiger Aufbau notwendig. Den Wert $C_K = 20$ pF erreicht man bei einem verdrillten Leitungspaar bereits mit etwa 30 cm Länge. Zwei parallele Leiterbahnen der Breite $b = 1$ mm im Abstand $a = 1$ mm dürfen nur 25 cm lang sein, damit $C_{K\,max} = 20$ pF nicht überschritten wird.

In diesem Zusammenhang scheint eine Bemerkung notwendig zu sein, die sich auf die Größe der maximal zulässigen Koppelkapazität bezieht. In der Literatur findet man manchmal die Angabe, daß noch Kapazitäten in der

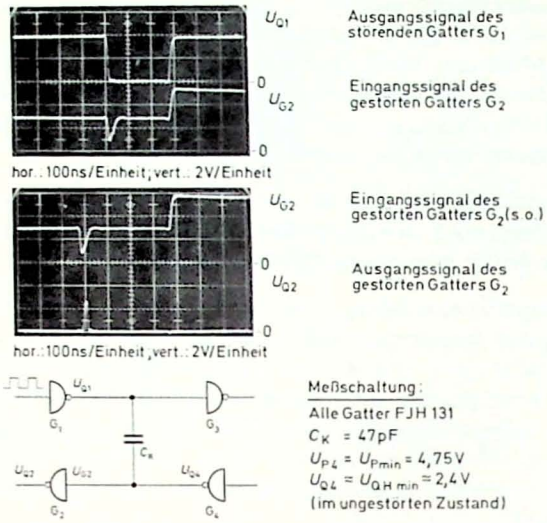


Bild 5.10. Kapazitives Übersprechen bei TTL

Größenordnung von 1 000 pF beim Einsatz von TTL-Gattern zulässig sind. Das ist jedoch nur dann der Fall, wenn die Impulsfolgefrequenz sehr hoch ist (> 300 kHz). Treten aber in solch einer hochfrequenten Impulsserie Pausen auf, die länger als etwa 6 µs dauern, erzeugt der erste Impuls der neuen Serie ein entsprechend starkes Störsignal (vgl. Bild 5.9).

5.5.2. Verkopplung über die Versorgungsleitungen

Unangenehme Verkopplungen verschiedener Bausteine über die Versorgungsleitungen können eintreten, wenn sich der Speisestrom bei Schaltvorgängen schnell ändert und die Impedanz der Versorgungsleitungen nicht niedrig genug ist.

Treibt zum Beispiel ein Gatter eine kapazitive Last, so fließt bei jedem Zustandswechsel ein Ladestrom ($i = C\,du/dt$) über die Versorgungsleitungen. Bei zu großer Impedanz gibt es Spannungseinbrüche in der Versorgungsspannung (LOW-Potential steigt, HIGH-Potential sinkt). Davon sind dann auch alle anderen, am gleichen Speisepunkt angeschlossenen Bausteine betroffen.

Ferner treten kurzzeitige Stromspitzen im Speisestrom auf, wenn Gegentakt-Ausgangsstufen vom LOW- in den HIGH-Zustand von Q umschalten. Beispiele dafür sind in den Bildern 5.11 und 5.12 dargestellt. Hier treten Ände-

rungen von 30 mA innerhalb von 20 ns auf ($di/dt = 1{,}5 \cdot 10^6$ A/s). Diese Stromspitzen entstehen dadurch, daß beim Umschalten vorübergehend beide Transistoren der Gegentaktstufe leitend sind. Die Stromspitzen tauchen daher auch im Leerlauf auf und erhöhen sich bei kapazitiver Belastung des Gatters um die entsprechenden Ladeströme.

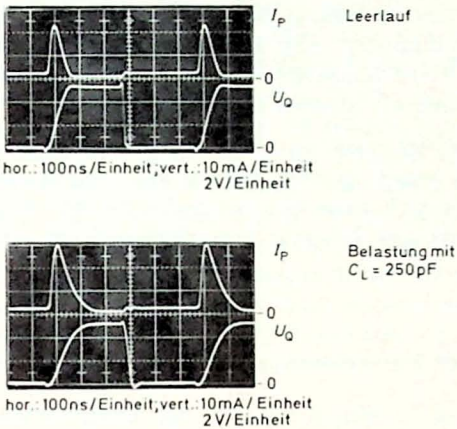


Bild 5.11. Speisestrom eines DTL-Leistungsgatters (FCH 231)

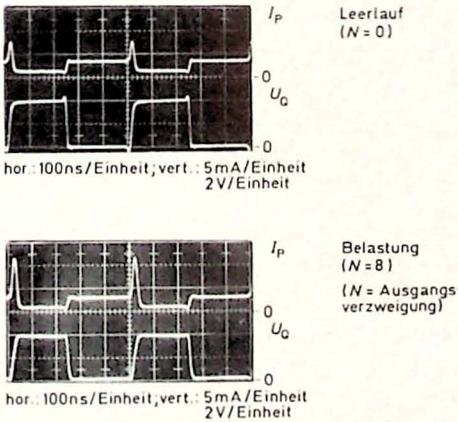


Bild 5.12. Speisestrom eines TTL-Gatters (FJH 131)

Als wirksamste Abhilfe gegen die durch schnelle Stromänderungen hervorgerufenen Spannungseinbrüche kann möglichst dicht am Baustein ein Kondensator zwischen Versorgungs- und Masseanschluß vorgesehen werden, der beim Schalten den benötigten Strom liefert. Elektrolytkondensatoren kommen wegen ihrer Induktivität dafür nicht in Frage (Ausnahme: Tantal-Elektrolytkondensatoren). Besser sind metallisierte Polyesterkondensatoren zu verwenden. Je nach Anspruch benötigt man Kapazitäten von 10 bis 100 nF. Die Kondensatoranschlüsse sollten so kurz wie möglich gemacht werden, um eine Reiheninduktivität zu vermeiden. Befinden sich mehrere Bausteine auf einer Leiterplatte, so empfiehlt sich zusätzlich am Platteneingang ein Elektrolytkondensator mit einer Kapazität von einigen Mikrofarad, der der Kompensation von langsameren Stromänderungen dient.

An die Güte der Abblockkondensatoren werden keine hohen Anforderungen gestellt. Meist ist es sogar günstig, solche mit verhältnismäßig großen Verlusten einzusetzen, da sich dann eine wünschenswerte Dämpfung des schwingungsfähigen Systems aus Zuleitungsinduktivität und Abblockkapazität ergibt.

5.5.3. Reduzierung der Eigenstörungen

Damit Eigenstörungen in einem System mit integrierten Digitalschaltungen nicht zu Fehlfunktionen führen, ist beim Entwurf und beim Aufbau nach folgenden Gesichtspunkten zu verfahren, die hier noch einmal zusammengefaßt werden sollen:

1. Signalführende Leitungen sollen nicht über längere Strecken parallel geführt werden.
2. Wenn Kabelbäume unvermeidbar sind, müssen Informationsleitungen abgeschirmt oder mit einer Erdleitung verdrillt werden.
3. Auf Leiterplatten kann die Koppelkapazität paralleler Leitungen verkleinert werden, indem man eine Erdleitung dazwischen legt.
4. Schaltvorgänge sollen nur so schnell erfolgen, wie es die Funktion des Systems erfordert. Die „schnellere“ Logik ist stets auch empfindlicher gegenüber Störungen.
5. Versorgungsleitungen müssen wechselstrommäßig niederohmig sein.
6. Plötzliche Stromänderungen können durch Kapazitäten kompensiert werden.
7. Durch Synchronbetrieb (Steuern der Anlage durch einen zentralen Taktgenerator) kann man Störungen, die durch Verkopplungen entstehen, weitgehend eliminieren, wenn man die Pause zwischen zwei Taktimpulsen so groß macht, daß alle Störsignale genügend abgeklungen sind. In diesem Falle hat man dann nur noch die Taktleitungen und eventuell vorhandene asynchrone Setzeingänge störungsfrei zu halten.

5.6. Eingangs-Anpassung

Nahezu jede Anlage verfügt über eine Anzahl von Logikeingängen, durch die bestimmte Signale in das eigentliche, Informationen verarbeitende System eingebracht werden sollen. Meist befinden sich an diesen Eingängen mehr oder minder lange Leitungen, die Störungen auffangen können.

Gegen kapazitiv eingestreute Störsignale schützen Leitungen mit geerdeter Abschirmung. Auf induktivem Wege eingekoppelte Störsignale lassen sich durch Verdrillen der Leitungen klein halten. Die Kombination beider Methoden ist in kritischen Fällen empfehlenswert (verdrilltes Paar innerhalb einer geerdeten Abschirmung). Weiterhin muß das Potential jeder Leitung in beiden Schaltzuständen festgelegt sein. Je niederohmiger dieser Abschluß ist — möglichst auf beiden Seiten —, desto kleiner bleiben Störeinflüsse. In besonderen Fällen ist zur Entstörung eine Signaltrennung notwendig. Das geht nur dann, wenn Nutz- und Störsignale sich in mindestens einem Merkmal unterscheiden. Sind die Störsignale kleiner als die Nutzamplitude, so kann man durch eine Schaltung mit entsprechend hoher Eingangsschwelle eine Störunterdrückung erreichen (Amplitudendiskrimination). Besitzen Stör- und Nutzsignale unterschiedliche Grundfrequenzen, so ist eine Separation durch Filter denkbar (Zeitdiskrimination).

5.6.1. Einfache Amplitudendiskrimination

Häufig läßt sich eine Signaltrennung erst erfolgreich durchführen, wenn man den Hub des Eingangssignals verhältnismäßig groß macht. Dann kann man eine Eingangsschaltung mit einer höheren Schwelle verwenden. Hierfür braucht man im allgemeinen eine weitere, entsprechend höhere Versorgungsspannung. Für die Erzeugung der hohen Eingangsschwelle gibt es zahlreiche Möglichkeiten.

Zum Beispiel läßt sich nach Bild 5.13a die Schwelle eines DTL-Gatters durch Hinzufügen von zwei Widerständen verändern, wenn man noch eine negative Spannungsquelle zur Verfügung stellt. Der Widerstand R_N und die Quellenspannung $-U_N$ sind dann so zu wählen, daß bei einer Eingangsspannung $U_S' = 0$ V der Strom durch die Substrat-Diode nicht über den zulässigen Wert von 20 mA ansteigt. Der Widerstand R_V hängt vom Maximalwert der Eingangsspannung U_S' ab. Die Spannung U_S am Gattereingang darf in keinem Falle den Wert von + 8 V übersteigen.

Wenn es die Folgefrequenz des Nutzsignals erlaubt, können an den Dateneingängen eines Systems natürlich auch Bausteine aus der FZ-Reihe sehr wirkungsvoll eingesetzt werden. Für die Umsetzung der Signalpegel auf DTL- bzw. TTL-Niveaus gibt es spezielle Schaltungen (FZH 161).

5.6.2. Zeitdiskrimination

Wenn die Störung in einem höheren Frequenzgebiet liegt als die Nachricht, können *RC*-Glieder als Tiefpaß verwendet werden. Dabei ist zu beachten, daß schon ein einfaches *RC*-Glied das stationäre Null-Potential am Eingang des Gatters verschiebt. Liegt der Eingang des *RC*-Gliedes auf 0 V, so darf man seinen Widerstand nicht größer als 200 Ω machen, weil sonst die Spannung am Gattereingang (bei $-I_G \approx 2$ mA) größer als 400 mV wird und somit der Störabstand $M_{L\,min}$ (Bild 5.2) herabgesetzt wird. Mit einer Kapazität von 1 µF ergibt sich eine Zeitkonstante von 200 µs und eine Grenzfrequenz von 5 kHz.

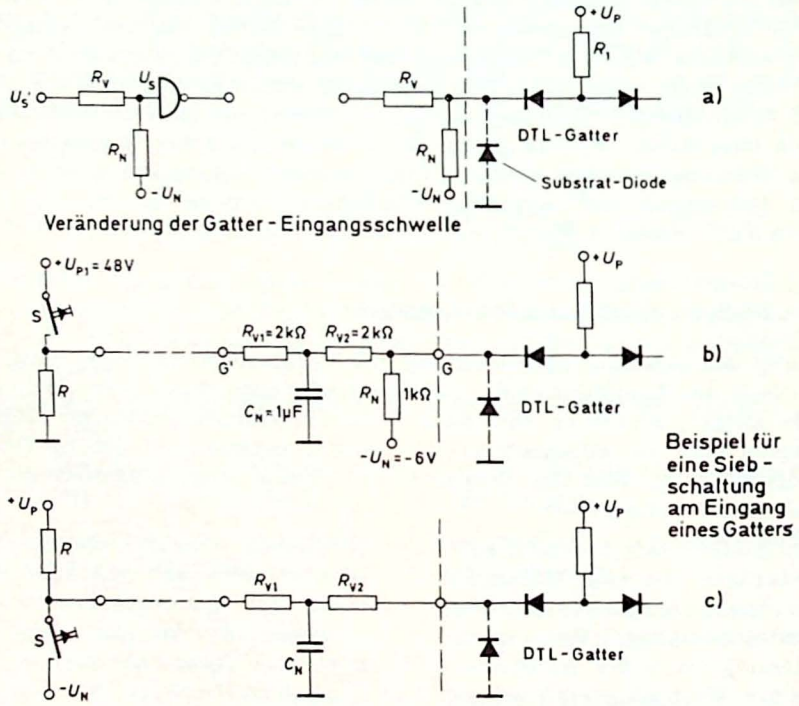


Bild 5.13. Eingangs-Anpassung

Werden niedrigere Grenzfrequenzen verlangt, so kann man Schaltungen nach Bild 5.13b und 5.13c verwenden, bei denen zusätzlich noch eine Amplitudendiskrimination durchgeführt wird. Auch hier ist bei einer Dimensionierung zu beachten, daß die Grenzwerte $-I_G < 20$ mA und $+U_G < 8$ V eingehalten werden. Damit das Siebglied mit der gewünschten Zeitkonstanten wirkt, darf

R_{V2} nicht zu Null gewählt werden. Sonst erfolgt in dem Schaltzustand, wo die Substrat-Diode leitend ist, die Umladung des Kondensators nicht über den hochohmigen Widerstand R_{V1}, sondern im wesentlichen über den kleinen dynamischen Innenwiderstand dieser Diode.

5.6.3. Amplitudendiskrimination mit Hysterese

In schwierigen Fällen, wenn eine Zeitdiskrimination nicht möglich ist und die Störspannungen größer sind als die halbe Signalspannung, kann man nach Bild 5.14 durch eine Hysterese größere Störspannungsabstände erreichen.

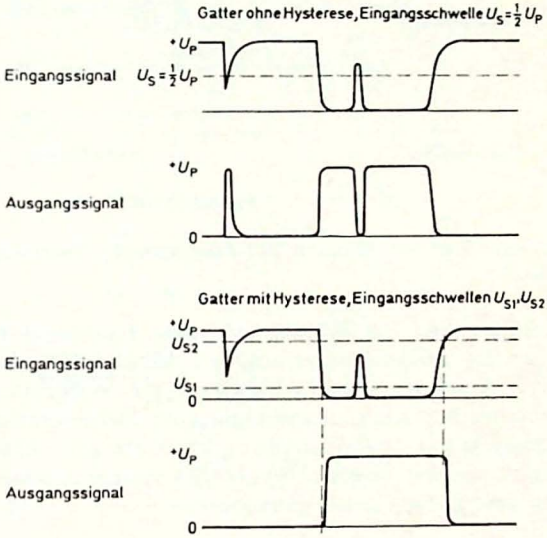


Bild 5.14. Wirkungsweise einer Eingangs-Hysterese

Auch bei kleineren Störsignalen, die nur während relativ langsamer Signal-Übergänge wirksam werden, hat eine Schaltung mit Hysterese Vorteile. Aus dem Vergleich in Bild 5.15 ist zu entnehmen, daß die Hysterese das fehlerhafte Hin- und Herschalten des Ausgangssignals unterdrückt.

Der Grundgedanke solcher Hysterese-Schaltungen läßt sich folgendermaßen beschreiben. Eine merkliche Erhöhung des Störspannungsabstandes ist möglich, wenn es gelingt, die Eingangsschwelle eines Gatters durch den Gatterzustand zu beeinflussen. Beim LOW-Zustand am Eingang soll die Schwellenspannung des Gatters möglichst hoch, beim HIGH-Zustand dagegen möglichst klein sein. Wählt man zum Beispiel die untere Schwellenspannung zu $U_{S1} = 0{,}1\ U_P$ und die obere zu $U_{S2} = 0{,}9\ U_P$, so erzielt man in beiden Zuständen einen Störspannungsabstand $M_L = M_H = 0{,}9\ U_P$.

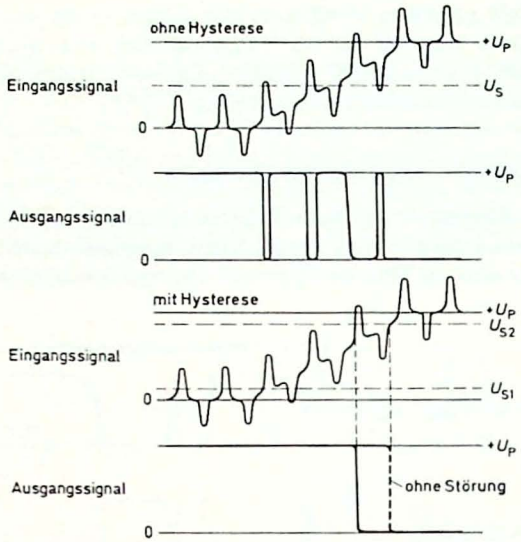


Bild 5.15. Schaltverhalten von Gattern bei langsamem Übergang des Ansteuersignals

Bei einem invertierenden Gatter läßt sich eine Hysterese häufig dadurch erzielen, daß man die Ausgangsspannung wie in Bild 5.16 über den Widerstand R_4 auf den Eingang zurückführt. Ohne den Widerstand R_4 liegt die Eingangsschwelle der Schaltung unabhängig vom Gatterzustand bei der halben Versorgungsspannung. Diese Schaltung kann übrigens nicht nur zur Eingangsanpassung verwendet werden. Wegen des symmetrischen Aufbaus eignet sie sich auch sehr gut als Leitungstreiber.

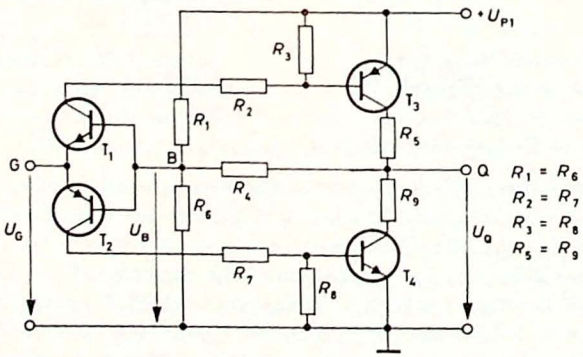


Bild 5.16. Symmetrisch aufgebauter Inverter mit Hysterese

Auch ein Differenzverstärker ist als Eingangsschaltung brauchbar. Bei der Schaltung in Bild 5.17a wird die Eingangsschwelle durch den Spannungsteiler R_4, R_5 eingestellt. Die Variante nach Bild 5.17b arbeitet mit Hysterese (Schmitt-Trigger).

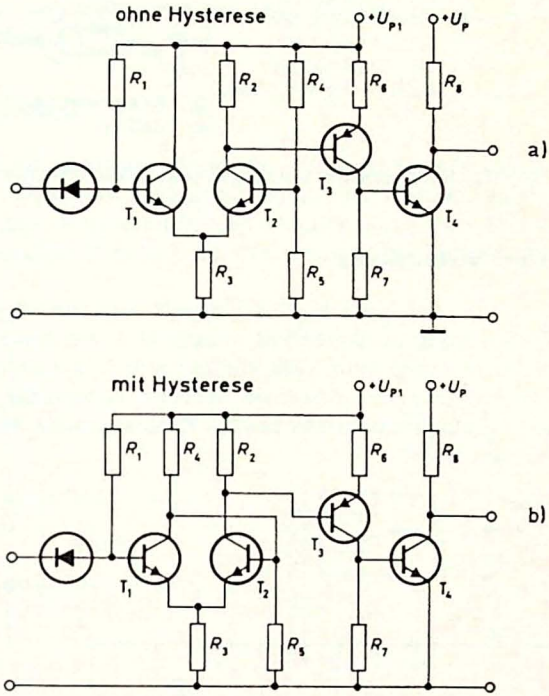


Bild 5.17. Vorschlag für eine Eingangsschaltung mit wählbarer Eingangsschwelle

Zur Umwandlung systemfremder Signale in eine Form, die der FC- bzw. FJ-Reihe entspricht, kann auch der Schwellenwertschalter nach Bild 5.18 benutzt werden. Im Prinzip handelt es sich hierbei um ein Basisflipflop aus zwei kreuzgekoppelten NAND-Gattern. Das Flipflop wird beim Überschreiten der Eingangsschwelle U_{iS} in den Zustand Q = 1 gekippt und beim Unterschreiten der Schwelle U_{iT} ($<U_{iS}$) wieder in die Ausgangslage gebracht. Durch Verwenden verschiedener Dioden D_1 kann man die Hysterese variieren.

Schaltungsdaten ($0\,°C \leq \vartheta \leq 75\,°C$)

Schwellenspannung am Eingang

obere	U_{iS}	$\leq$ 2,3	V	
untere	U_{iT}	$\geq$ 0,4	V	(AAZ 17)
		$\geq$ 0,15	V	(BAX 13)
Hysterese	ΔU_i	$\geq$ 0,2	V	(AAZ 17)
		$\geq$ 0,6	V	(BAX 13)
Eingangsstrom	I_{iS}	$\leq 50\,\mu A$; $-I_{iT} \geq 4{,}0$	mA	

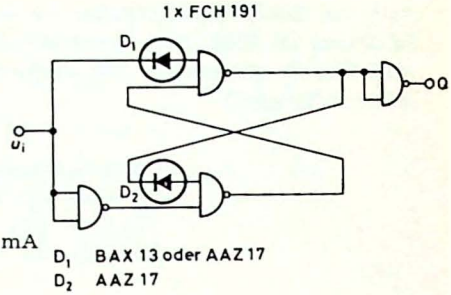
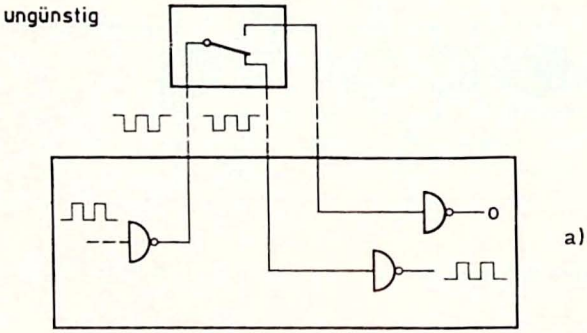


Bild 5.18. Schwellenwertschaltung aus NAND-Gattern

5.6.4. Schalten einer Signalleitung

Häufig kommt es vor, daß vom Bedienungspult her innerhalb des Logiksystems eine Verzweigung im Datenfluß ausgewählt werden muß. Bei einer Lösung dieses Problems nach Bild 5.19a können jedoch zahlreiche Störsignale aufgefangen werden. Entstörmaßnahmen werden aufwendig, wenn wegen einer hohen Zeichenfolgefrequenz ein breites Frequenzband für die Übertragungsleitung benötigt wird.



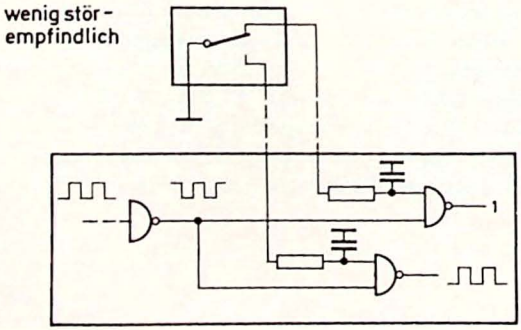


Bild 5.19. Schalten einer Signalleitung

Bei der Lösung nach Bild 5.19 b wird die signalführende Leitung überhaupt nicht herausgeführt. Das Durchschalten geschieht „an Ort und Stelle" durch ein — meist ohnehin vorhandenes — Gatter. Dieses Prinzip kann häufig angewandt werden, zum Beispiel bei der Voreinstellung eines Zählers. Da für die Ansteuerleitungen der als Schalter verwendeten Gatter kein breites Frequenzband benötigt wird, ist das Abblocken von Störsignalen durch *RC*-Glieder möglich.

5.6.5. Kontaktprellen

Viele mechanisch betätigte Kontakte erzeugen beim Schalten anstelle eines einwandfreien Spannungssprunges durch das Prellen einen mehrfachen Signalwechsel. Zur Vermeidung von Fehlinformationen läßt sich in solchen Fällen die Schaltung Bild 5.20 verwenden. Die beiden kreuzgekoppelten

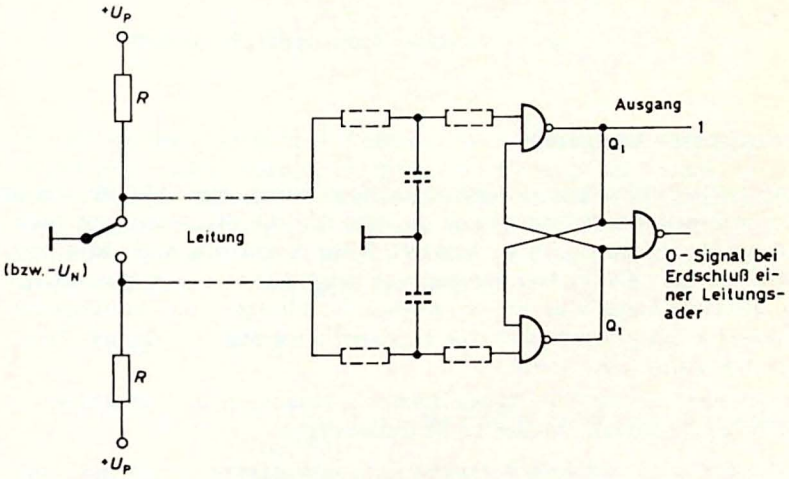


Bild 5.20. Schaltung gegen Prellstörungen mit Erdschlußanzeige

NAND-Gatter bilden ein Basisflipflop. Die Kontaktgabe eines Relaiskontaktes vor dem ersten Prellen dauert einige Mikrosekunden. Das Basisflipflop rastet jedoch bereits nach zwei Gatterverzögerungszeiten ein (zum Beispiel $2\,t_{pd} = 2 \cdot 35$ ns $= 70$ ns). An seinem Ausgang erscheint beim Umlegen des Schalters nach oben nur ein einziger $0 \rightarrow 1$-Sprung, auch wenn der Schalter beliebig oft prellt, vorausgesetzt, daß er nicht bis auf den Gegenkontakt zurückprellt. Ein Erdschluß der Leitungsadern führt zum Irregulärzustand des Flipflop ($Q_1 = Q_2 = 1$) und kann mit einem weiteren NAND-Gatter angezeigt werden.

Zur Unterdrückung von Störungen höherer Frequenz können auch hier *RC*-Glieder vorgesehen werden. Wird eine größere Störsicherheit benötigt, so kann man zwei Gatter mit einer gemäß Bild 5.13c erhöhten Eingangsschwelle zu einem Speicherflipflop zusammenschalten. Der Schalter muß dann nicht an Masse, sondern an eine zusätzliche negative Versorgungsspannung $-U_N$ angeschlossen werden.

5.7. Ausgangs-Anpassung

Anpassungs-Schaltungen an den Ausgängen haben die Aufgabe, die im System verarbeiteten Informationen in eine für die Weiterleitung oder Auswertung brauchbare Form zu bringen. Diese Form soll nach Möglichkeit so beschaffen sein, daß andere Stromkreise möglichst wenig beeinträchtigt werden. Meistens handelt es sich bei solchen Schaltungen um Treiberstufen mit bestimmter Leistungsverstärkung. Dagegen wird nur in seltenen Fällen eine hohe Arbeitsfrequenz verlangt.

Bei der Ansteuerung von Relais, Lampen, Magneten und ähnlichen Bauelementen sind folgende Punkte zu berücksichtigen:

1. Um die galvanische Verkopplung der Leistungskreise mit den Logikkreisen zu verhindern, müssen für die verhältnismäßig großen Ströme der Leistungsstufen eigene Leitungen verwendet werden. Auf entsprechende Maßnahmen bei der Stromversorgung wird im nächsten Abschnitt eingegangen.
2. Wegen der hohen di/dt-Werte sind Hin- und Rückleitung (z. B. zu einem Relais) zu verdrillen. Magnetische Streufelder solcher Bauteile können ferromagnetisch abgeschirmt werden.
3. Beim Betrieb von Ziffernanzeigeröhren treten Spannungssprünge von über 60 V auf. Um kapazitives Übersprechen auf andere Leitungen zu verhindern, können mehradrige, abgeschirmte Kabel nützlich sein.
4. Grundsätzlich ist es am günstigsten, alle Treiberstufen räumlich getrennt vom Logiksystem anzuordnen.

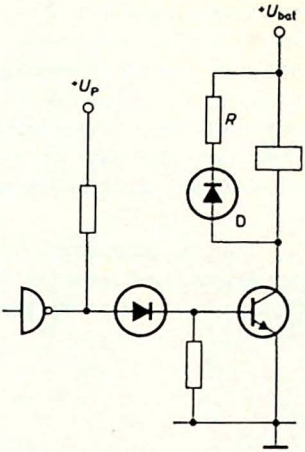


Bild 5.21. Schalten eines Relais mit einem Transistor

Beim Betreiben von Relais über Transistoren nach Bild 5.21 entstehen durch die Induktivität beim Abschalten hohe Spannungsspitzen; dabei kann die maximal zulässige Kollektor-Emitter-Sperrspannung überschritten und der Transistor zerstört werden. Das läßt sich mit einer Diode D vermeiden. Damit dabei die Abfallverzögerung des Relais nicht zu groß wird, kann man noch einen Widerstand R einfügen, der nicht größer sein darf als

$$R_{max} = \frac{U_{CE\,max} - U_{bat}}{I_0}$$

mit

$U_{CE\,max}$ maximal zulässige Kollektor-Emitter-Spannung des Transistors,

I_0 Relaisstrom vor dem Abschalten.

Wenn eine größere Abfallzeit nicht stört, kann der Widerstand R weggelassen werden.

Für die Auswahl der Diode gilt im allgemeinen

$U_{bat} \leq U_{R\,max}$ max. zul. Sperrspannung der Diode,

$I_0 \leq I_{FAV\,max}$ max. zul. Durchlaßstrom (Mittelwert) der Diode.

Jedoch darf I_0 auch größer sein, wenn die für Impulsbetrieb zugelassenen Grenzwerte der Diode eingehalten werden.

Beim Betreiben von Glühlampen über Transistoren kann infolge des sehr niedrigen Kaltwiderstandes der Lampen beim Einschalten ein Vielfaches des Lampen-Nennstromes fließen. Man muß daher entweder einen Transistor

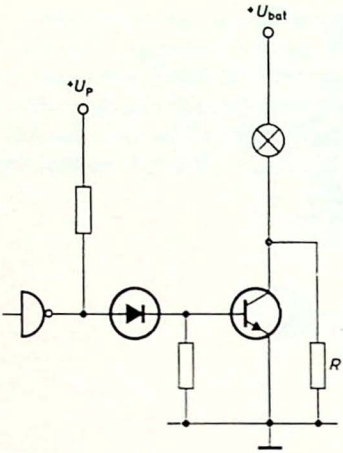


Bild 5.22. Schalten einer Glühlampe mit einem Transistor und Vorheizen über einen Widerstand

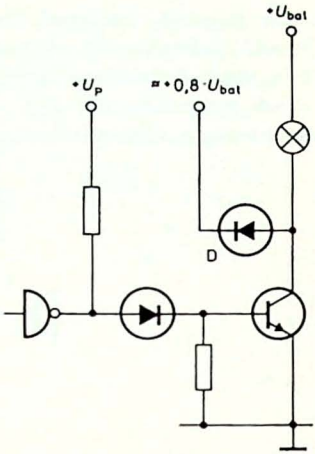


Bild 5.23. Vorheizen der Glühlampe mit einer zusätzlichen Versorgungsspannung unter Verwendung einer Diode

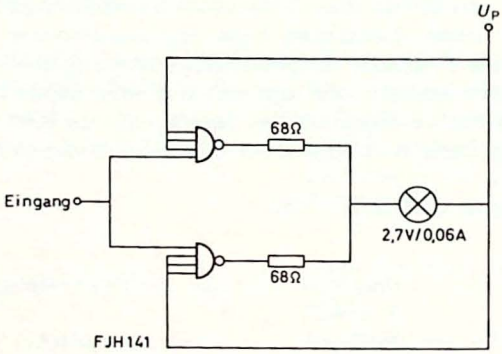


Bild 5.24. Leistungsgatter als Lampentreiber

auswählen, für den dieser hohe Einschaltstrom zugelassen ist, oder dafür sorgen, daß die Glühlampen ständig vorgeheizt werden. Bild 5.22 zeigt ein Beispiel dafür. Mit dem Widerstand R kann der gewünschte Vorheizstrom eingestellt werden. Bei der Schaltung Bild 5.23 fließt der Vorheizstrom über die Diode D. Hierfür muß jedoch eine zweite Versorgungsspannung von etwa 0,8 bis 0,9 U_{bat} zur Verfügung stehen. Man spart dann die Verlustleistung ein, die in der Schaltung Bild 5.24 im Widerstand R verlorengeht. In der Regel sind das etwa 30 % der Lampen-Nennleistung, bei einer 12 V/0,12 A-Glühlampe also fast 0,5 W.

Wegen der Widerstandsstreuungen gebräuchlicher Glühlampen kann es vorkommen, daß nach einem Auswechseln der Glühlampe in Schaltung Bild 5.22 auch der Widerstand R geändert werden muß, weil entweder der Vorheizstrom zu klein ist oder weil die Lampe zu hell glimmt. Daher verzichtet man häufig völlig darauf, Glühlampen — vor allem wenn es mehrere sind — direkt mit einem Transistor zu schalten, und setzt lieber als Zwischenglied ein kleines Relais ein, das bekanntlich unempfindlich gegenüber kurzzeitigen Stromspitzen ist.

Stehen Speziallampen zur Verfügung, so kann man unter Umständen den aus diskreten Elementen aufgebauten Lampentreiber einsparen und diese Lämpchen direkt mit einem oder zwei Leistungsgattern steuern (Bild 5.24).

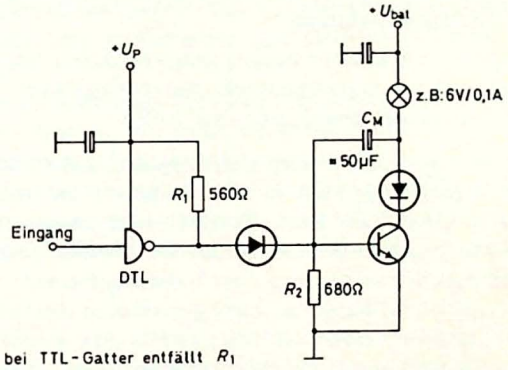


Bild 5.25. Miller-Integrator zum Schalten einer Glühlampe

Eine weitere Möglichkeit zeigt Bild 5.25. Hier wird das Ein- und Ausschalten des Treibertransistors durch die Miller-Kapazität so weit verlangsamt, daß der Strom durch die Lampe beim Schalten nur unwesentlich über den Nennstrom ansteigt. Dieser Wert wird jedoch schon bald nach Beginn des Einschaltvorganges erreicht (etwa nach 30 ms), so daß die im Transistor umgesetzte Verlustleistung eine Zeitlang (50—100 ms) ungefähr gleich der Lampenleistung ist.

Die Diode im Kollektorzweig des Transistors soll verhindern, daß der Elektrolytkondensator C_M bei eingeschaltetem Transistor falsch gepolt wird.

Um mögliche Schwingungen auszuschließen, sollten an den Speisespannungszuführungen auf der Leiterplatte Siebkondensatoren eingebaut werden.

5.8. Maßnahmen im Stromversorgungsteil

Aus dem 220 V-Wechselstromnetz erhält man nahezu immer neben der gewünschten Spannung gleichzeitig ein breites Spektrum hochfrequenter Störungen (bis ca. 30 MHz). Außerdem gibt es sehr langsame Spannungsschwankungen, die von der Netzbelastung abhängen. Vor den Auswirkungen beider Einflüsse kann die Anlage auf folgende Weise geschützt werden.

1. Hochfrequente Einflußgrößen lassen sich durch die bekannten Entstörsätze abblocken (z. B. VALVO-Netzfilter MF 2 A). Ein solches Filter muß unmittelbar an der Stelle angebracht sein, wo die Netzleitung in das Gehäuse der Anlage eintritt.
2. Langsame Netzspannungsänderungen kann man durch geregelte Netzteile unwirksam machen. Dabei erreicht man gleichzeitig auch die Kompensation interner Lastschwankungen.
3. Für das Ausgleichen schneller Laststromänderungen ist ein entsprechend kleiner dynamischer Innenwiderstand des Netzgerätes oder ein hinreichend großer kapazitiver Energiespeicher nötig.

Müssen neben dem Logiksystem auch Leistungskreise versorgt werden, so ist die gesamte Versorgung möglichst in zwei Gruppen zu unterteilen, die nur wenig miteinander verkoppelt sind. Optimal sind zwei voneinander völlig unabhängige Stromversorgungsteile. Schon bei einem gemeinsamen Netztransformator können Störungen aus dem Leistungsbereich leicht in den Logikbereich eindringen. Und selbst bei zwei getrennten Transformatoren sollte zwischen Primär- und Sekundärwicklung jeweils eine einseitig geerdete Abschirmung liegen, damit über die Wicklungskapazitäten keine hochfrequenten Störungen übertragen werden können.

Benötigt man im Logikbereich verschiedene Versorgungsspannungen, so ist es — vom Standpunkt der Störsicherheit aus gesehen — am günstigsten, nur eine einzige entsprechend transformierte Wechselspannung gleichzurichten. Von dieser vorgeglätteten Gleichspannung können dann alle gewünschten kleineren Gleichspannungen abgeleitet werden. Auf diese Weise kann man die hauptsächlichen Störquellen eines Netzteiles, den Transformator und den Gleichrichter, im allgemeinen weit genug entfernt vom Logiksystem anordnen. (Gleichrichter mit Ladekondensatoren arbeiten bekanntlich bei sehr kleinen Stromflußwinkeln und dementsprechend schnellen Stromänderungen, die häufig über induktive Verkopplungen Störungen verursachen.) Es sind zwar längere Leitungen erforderlich, die jedoch nur Gleichspannungen führen. Die Stabilisierungsschaltung kann man dann ohne Bedenken direkt im Logiksystem anbringen, zum Beispiel als Steckbaustein oder direkt auf der Leiterplatte.

Günstig ist ferner das Verwenden von Bändern und Schienen anstelle dünner Drähte zur Verteilung der stabilisierten Versorgungsspannungen. Auch sogenannte „busbars“ werden benutzt, das sind homogene Speiseleitungen sehr

niedriger Impedanz. Sie bestehen aus vielen lamellenähnlich angeordneten Leitern, die voneinander isoliert sind und zu einem Stapel zusammengefaßt werden. Verbindet man jeden zweiten Einzelleiter mit dem Massepunkt und von den anderen anteilmäßige Anzahlen mit den einzelnen Versorgungsspannungen, so sind jedem spannungsführenden Leiter zwei Masseleitungen benachbart. Auf diese Weise lassen sich Wellenwiderstände von 5 Ω erreichen.

Mit den Versorgungsproblemen in unmittelbarem Zusammenhang steht die Wahl des Erdpunktes. In jedem Falle ist ein einziger, zentraler System-Massepunkt vorzusehen, der als Bezugspunkt für das ganze System dient und mit einer guten „Erde" zu verbinden ist, jedoch nie mit der Starkstromerde, die immer hohe Störspannungen führt. Bei einer „sauberen Erde" ist es günstig, das Gehäuse ebenfalls mit dem System-Massepunkt zu verbinden. Es dient dann gleichzeitig als Abschirmung. Keinesfalls dürfen jedoch Erdströme über das Gehäuse fließen. Das kann einerseits zu unerwünschten Verkopplungen führen und andererseits dem Gehäuse teilweise seine Abschirmwirkung nehmen.

Erfüllt ein etwa vorhandener Erdanschluß jedoch nicht die gestellten Forderungen, so ist es besser, ihn nicht zu verwenden. Dann wird der System-Bezugspunkt überhaupt nicht mit Erde verbunden und das Gehäuse von ihm getrennt. Damit verliert es zwar einen Großteil seiner Schirmwirkung. Dieser Nachteil ist aber aus Sicherheitsgründen manchmal nicht zu vermeiden, zum Beispiel wenn das Gehäuse schutzgeerdet sein muß.

5.9. Übertragung von Informationen

5.9.1. Differenztechnik

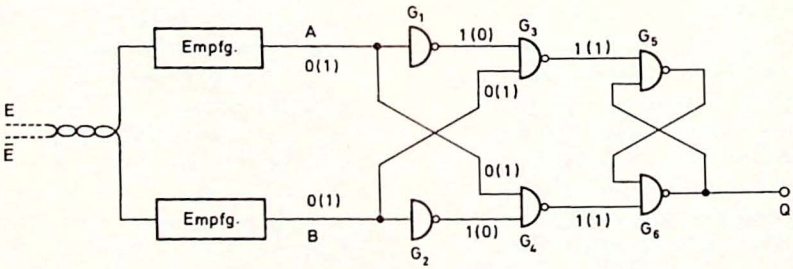
Wenn bei der Übertragung hochfrequenter Impulsfolgen die oben erwähnten Methoden der Amplitudendiskrimination im Empfänger selbst bei Verwendung einer Hysterese nicht mehr ausreichen, d. h. wenn die Störspannungen größer als der Signalhub werden, dann ist der Aufwand einer Differenztechnik gerechtfertigt.

Da die meisten Störungen nur wenig ortsabhängig sind, erfahren zwei gleiche, eng beieinander geführte Leitungen nahezu die gleichen Störungen. Die Information bleibt also erhalten, wenn man ein Leiterpaar so ansteuert, daß die Nachricht als Differenz der beiden Leiterspannungen erscheint. Es sind dann zwei Sender erforderlich, der eine gibt die Information E, der andere die negierte Information $\overline{E}$ ab. Hierfür eignet sich zum Beispiel der symmetrisch aufgebaute Inverter von Bild 5.16, dessen Ausgangsstufe im HIGH- und LOW-Zustand den gleichen Innenwiderstand hat.

Die Auswertung am Leitungsende erfolgt mit einem Differenzverstärker. Auf diese Weise können Gleichtakt-Störungen bis zur maximal zulässigen Gleichtakt-Eingangsspannung des Differenzverstärkers unterdrückt werden.

5.9.2. Störunterdrückung durch Signalvergleich

Treten hohe Gleichtakt-Störungen nur sehr kurzzeitig auf, so kann man anstelle eines Differenzverstärkers zwei einfache Empfänger verwenden. Es ist dann die in Bild 5.26 dargestellte Kontrollschaltung zu empfehlen, die im Störungsfalle fehlerhafte Signale unterdrückt. Im Normalfall führt Punkt A die Information E und Punkt B die Information $\overline{E}$. Dann erscheint auch E am Ausgang Q. Durch ein hohes Störsignal werden beide Empfangsschaltun-



Die in Flipflop G_5, G_6 gespeicherte Information Q = E bleibt bei einer Störung A = B = 0 oder A = B = 1 erhalten

Bild 5.26. Störunterdrückung durch Signalvergleich

gen in der gleichen Richtung übersteuert, und an den Punkten A und B ergeben sich übereinstimmende Signale. Am Ausgang Q kann jedoch kein Störsignal erscheinen, da bei dem Flipflop G_5, G_6 an beiden Eingängen HIGH-Zustand herrscht. Folglich bleiben die im Flipflop gespeicherte Information und das entsprechende Signal am Ausgang Q erhalten, bis die Störung verschwunden ist. Dauert eine starke Störung allerdings länger als ein Nachrichtenimpuls, so wird dieser durch die Störung verdeckt und nicht registriert.

5.9.3. Impulsübertragung über lange Leitungen

In den meisten Anwendungsfällen ist die Laufzeit, die ein Signal benötigt, um von einem Bauelement zum anderen zu gelangen, sehr klein. Für die Ausbreitungsgeschwindigkeit gilt

$$v = \frac{1}{\sqrt{\varepsilon \mu}} = \frac{c_0}{\sqrt{\varepsilon_r \mu_r}} . \tag{11}$$

Dabei sind:

v		Ausbreitungsgeschwindigkeit,
ε	$= \varepsilon_0 \varepsilon_r$	Dielektrizitätskonstante,
μ	$= \mu_0 \mu_r$	Permeabilität,
c_0		Lichtgeschwindigkeit (299 790 km/s $\approx$ 0,3 m/ns).

Für die in der Praxis vorkommenden Übertragungsleitungen ergibt sich mit $\mu_r = 1$ und $\varepsilon_r = 2{,}3$

$$v = \frac{0{,}3}{\sqrt{2{,}3}} \approx 0{,}2 \ \frac{\text{m}}{\text{ns}} ,$$

d. h. ein Signal legt die Entfernung von 1 Meter in etwa 5 Nanosekunden zurück.

An Stellen, wo sich die Ausbreitungsbedingungen ändern, wird jede Wellenfront teilweise reflektiert. Das Amplitudenverhältnis von rücklaufender zu hinlaufender Welle wird als Reflexionsfaktor ϱ bezeichnet. Handelt es sich bei der Stoßstelle um ein Leitungsende, so gilt für den Reflexionsfaktor

$$\varrho = \frac{R - Z_0}{R + Z_0} \tag{12}$$

R Abschlußwiderstand der Leitung,
Z_0 Wellenwiderstand der Leitung.

Setzt man zwei Leitungen mit verschiedenen Wellenwiderständen aneinander, tritt in Gl. (12) an die Stelle von R der Wellenwiderstand des zweiten Leitungsstückes. Ist T_l die Laufzeit der Leitung, so trifft die reflektierte Welle zur Zeit $t = 2\,T_l$ wieder am Leitungsanfang ein. Handelt es sich bei der erzeugenden Welle um den $1 \rightarrow 0$-Übergang der Ausgangsspannung eines

Gatters, so werden dafür etwa 10 ns benötigt. In dieser Zeit ist bei einer kurzen Leitung die Welle schon mehrmals hin- und hergelaufen, so daß die Form der Signalflanke etwas verändert wird. Eine Leitung, bei der die erste Reflexion noch in die erzeugende Signalflanke hineinfällt, soll im folgenden als „elektrisch kurz" bezeichnet werden, d. h. es gilt bei

$$2\,T_l < t_r, t_f : \text{Leitung „elektrisch kurz"}, \tag{13}$$

T_l Laufzeit für eine Leitung der Länge l,
t_r Signalanstiegszeit,
t_f Signalabfallzeit.

Wenn dagegen die Signalübergangszeit kleiner ist als die doppelte Laufzeit auf der Leitung, dann werden Reflexionen bei einem Schaltvorgang deutlich getrennt von dem erzeugenden Signal sichtbar. Man spricht dann von einer „elektrisch langen" Leitung, d. h. es gilt bei

$$2\,T_l > t_r, t_f : \text{Leitung „elektrisch lang"}. \tag{14}$$

Diese Grenze liegt bei einer Übergangszeit von 10 ns, d. h. bei einer Leitungslänge von etwa 1 m.

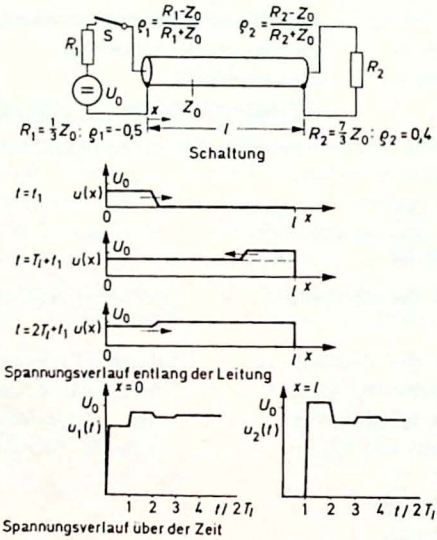


Bild 5.27. Schaltvorgang an einer homogenen, verlustlosen Leitung

Anhand von Bild 5.27 sollen die Auswirkungen eines Spannungssprunges untersucht werden, der auf eine beidseitig nicht angepaßt abgeschlossene, homogene Leitung gegeben wird. R_1 und R_2 sind die Abschlußwiderstände einer homogenen Leitung der Länge l, die hier durch ein Koaxialkabel angedeutet wird. Beim Schließen des Schalters S wird am Leitungsanfang

($x = 0$) ein Spannungssprung erzeugt, der über die Leitung läuft. Die Höhe dieses ersten Sprunges ist nur durch die Leerlaufspannung U_0, den Quellenwiderstand R_1 und den Wellenwiderstand Z_0 bestimmt. R_2 hat darauf keinen Einfluß; denn für eine schnelle Änderung ist der Eingangswiderstand der Leitung gleich dem Wellenwiderstand, so daß die Größe des Spannungssprunges festgelegt ist durch

$$U_S = U_0 \frac{Z_0}{R_1 + Z_0} . \tag{15}$$

Für den in Bild 5.30 als Beispiel angegebenen Wert $R_1 = (1/3)\, Z_0$ ergibt sich

$$U_S = U_0 \frac{3\, R_1}{R_1 + 3\, R_1} = 0{,}75\, U_0 .$$

Trifft dieser erste Sprung am Leitungsende ein, so wird er reflektiert. Damit springt die Spannung dort auf den Wert

$$U_2\,(t = T_l) = (1 + \varrho_2)\, U_S . \tag{16}$$

Mit $R_2 = (7/3)\, Z_0$ erhält man nach Gl. (12) für ϱ_2 den Wert 0,4 und folglich

$$U_2\,(t = T_l) = (1 + 0{,}4)\; 0{,}75\, U_0 = 1{,}05\, U_0 .$$

Der am Leitungsende reflektierte Sprung vom Wert $\varrho_2 U_S = 0{,}4\, U_S$ wird beim Eintreffen am Leitungsanfang erneut reflektiert. Diesmal jedoch mit dem Reflexionsfaktor $\varrho_1 = -0{,}5$. Danach beträgt die Spannung am Leitungsanfang

$$\begin{aligned} U_1\,(t = 2\, T_l) &= [1 + \varrho_2\,(1 + \varrho_1)]\; U_S = \\ &= [1 + 0{,}4\,(1 - 0{,}5)]\; 0{,}75\, U_0 = \\ &= 0{,}9\, U_0 . \end{aligned} \tag{17}$$

Auf diese Weise baut sich die Spannung auf der gesamten Leitung durch die Reflexionsvorgänge vollständig auf, bis der stationäre Zustand erreicht wird

$$U_{1\infty} = U_{2\infty} = \frac{R_2}{R_1 + R_2}\, U_0 = \frac{7}{8}\, U_0 .$$

In Bild 5.27 ist der zeitliche Verlauf der Spannung an den beiden Leitungsenden aufgetragen. Wie man sieht, kann es vor allem am empfangenden Leitungsende zu Überschwingern kommen. Maßgebend hierfür ist ausschließlich der Leitungsabschluß.

Betreibt man mit einem TTL-Gatter eine mehrere Meter lange, verdrillte Leitung, so erhält man bei Leerlauf den in Bild 5.28 a wiedergegebenen Verlauf. Er ändert sich nicht wesentlich, wenn am Leitungsende ein Gatter angeschlossen ist (Bild 5.28 b).

Das stark unterschiedliche Verhalten bei den beiden Schaltflanken ist auf die verschieden großen Gatter-Widerstände im LOW- und HIGH-Zustand zurückzuführen. Bei der $0 \rightarrow 1$-Flanke stimmen der maßgebliche Gatter-Aus-

gangswiderstand $R_{0H} \approx 150\,\Omega$ und der Wellenwiderstand der Leitung überein. Folglich läuft zuerst ein Sprung der Höhe $U_0/2$ über die Leitung. Da bei Leerlauf am Leitungsende $\varrho_2 = +1$ ist, springt die Spannung dort beim Eintreffen der Front nahezu auf den doppelten Wert, und die rücklaufende Welle ist nur wenig kleiner als die hinlaufende. Das Leitungsende führt von Anfang an die volle Spannung U_0, die sich im Endzustand einstellt.

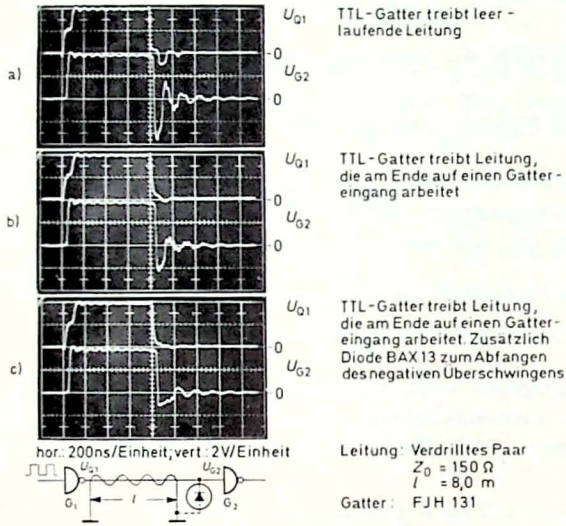


Bild 5.28. TTL-Gatter treibt Leitung

Bei der $1 \to 0$-Flanke dagegen ist der maßgebende Ausgangswiderstand des Gatters $R_{0L} \approx 20\,\Omega$ wesentlich kleiner als der Wellenwiderstand $Z_0 = 150\,\Omega$. Daher läuft jetzt ein Spannungssprung der Höhe $U_S = -(150/170)\,U_0$ über die Leitung, der beim Eintreffen am Leitungsende wieder verdoppelt wird. Das ergibt ein beachtliches Überschwingen in den negativen und bei der dritten Reflexion wieder in den positiven Bereich usf., wodurch sich Störungen ergeben können. Einerseits erfolgt statt eines Sprunges der Höhe U_0 jetzt in der gleichen Zeit ein Sprung vom Wert $2\,U_0$, womit sich auch die Störamplitude in einer benachbarten Leitung verdoppelt. Andererseits kann das erneute Überschwingen in den positiven Spannungsbereich ein angeschlossenes Gatter zu erneutem und daher fehlerhaftem Schalten veranlassen. Dagegen stören die im Bild 5.28 erkennbaren Stufen bei der ansteigenden Flanke nicht sonderlich. Während dieser Zeit ist zwar der Störspannungsabstand etwas kleiner, aber es kommt nicht notwendigerweise zu einem Fehler.

Eine einfache, aber nicht vollkommene Methode zur Reduzierung des Überschwingens besteht in der Verwendung einer sogenannten Abfangdiode am Leitungsende (Bild 5.28 c). Schwingt die Spannung in den negativen Bereich, so wird die Diode durchlässig, wodurch die rücklaufende Wellenfront verkleinert wird und damit auch alle folgenden Reflexionen abnehmen. Als Abfangdiode kommt nur eine entsprechend schnellschaltende Diode (z. B. BAX 13) in Betracht.

Im übrigen existiert bei Gattern der DTL- und TTL-Reihe am Eingang bereits eine entsprechende Diodenstrecke. Bei DTL-Gattern gibt es die Eingangs-Substrat-Diode, bei TTL-Gattern liegt eine solche zwischen dem Kollektor des Mehrfach-Emitter-Transistors und dem Substrat.

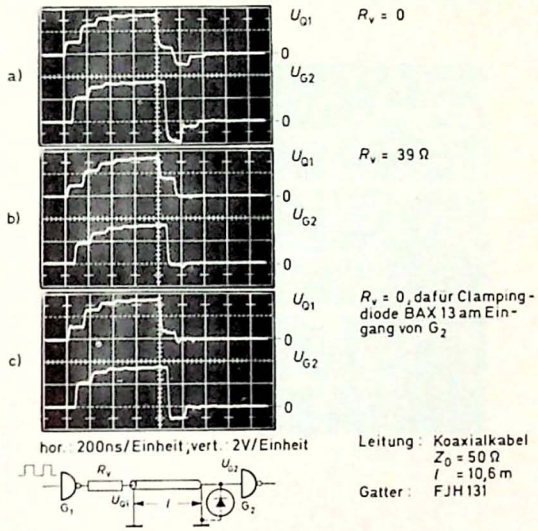


Bild 5.29. TTL-Gatter treibt Koaxialkabel

Eine die Ursache und nicht nur die Auswirkung beeinflussende Maßnahme zur Verminderung des Überschwingens ist in Bild 5.29 für ein Koaxialkabel dargestellt. Durch Einfügen des Widerstandes $R_v = 39\,\Omega$ erreicht man für die fallende Flanke auf der Sendeseite Anpassung. Damit läuft beim $1 \to 0$-Übergang ein Sprung der Höhe $U_S = -U_0/2$ über die Leitung, und die Spannung am Ende springt von U_0 um $-2\,(1/2)\,U_0$, also auf den Wert Null (Bild 5.29 b). Die rücklaufende Front der Höhe $-U_0/2$ wird beim Eintreffen am Leitungsanfang wiederum nicht reflektiert, weil wegen des Vorwiderstandes R_v der Reflexionsfaktor $\varrho_1 \approx 0$ wird.

Auf die ansteigende Flanke wirkt sich der eingefügte Widerstand nicht sehr stark aus. Der Quellenwiderstand wird durch ihn vergrößert, so daß die erste Wellenfront nur noch etwa $U_0/4$ beträgt. Der erste Sprung am Leitungsende hat folglich den Wert $U_0/2$, und es dauert etwas länger, bis der Endzustand erreicht wird. Ein weiterer Nachteil des Vorwiderstandes besteht darin, daß im LOW-Zustand von U_{Q1} durch den Eingangsstrom des Gatters G_2 ($< 2{,}0$ mA) etwa 80 mV an R_V abfallen. Die damit verbundene Verkleinerung des statischen Störspannungsabstandes kann meistens in Kauf genommen werden.

Neben dieser Serienanpassung durch den Widerstand R_V gibt es auch die Möglichkeit der Parallelanpassung durch einen geeigneten Abschluß am Leitungsende. Gelingt diese Anpassung, so ergeben sich einwandfreie Impulsformen, die keiner Korrektur bedürfen. Das soll in Bild 5.30 am Beispiel eines DTL-Leistungsgatters gezeigt werden.

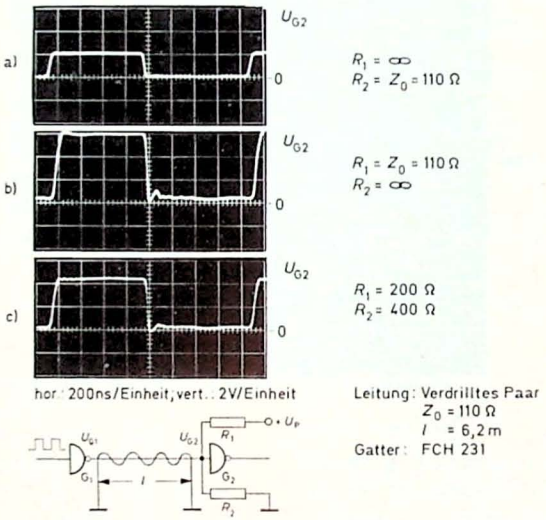


Bild 5.30. DTL-Gatter treibt Leitung

Schließt man nur nach Masse mit $R_2 = Z_0 = 110\ \Omega$ ab (Bild 5.30 a), dann ergibt sich im vorliegenden Fall nur noch ein Signalhub von etwas mehr als 2 V, der nicht mehr ausreicht, um die geforderte Spannung $U_{GH\,min} = 2{,}3$ V zu übersteigen.

Schließt man nur zum Speisepunkt U_P mit einem Widerstand $R_1 = Z_0 = 110\ \Omega$ ab (Bild 5.30 b), so erhält man zwar einen Signalhub von nahezu 6 V, jedoch kann das LOW-Potential am Ausgang des treibenden Gatters merklich ansteigen, da der maximal verfügbare Ausgangsstrom von 36,3 mA (beim Gatter FCH 231) um ca. 50 % überschritten wird.

Mit einer Kombination beider Methoden, $R_1 \approx 200\,\Omega$ und $R_2 \approx 400\,\Omega$, erreicht man nach Bild 5.30 c neben einer recht guten Anpassung noch einen genügend großen Signalhub von etwa 4,5 V. Ein Nachteil jeder Parallelanpassung ist der wegen der relativ kleinen Wellenwiderstandswerte erheblich höhere Leistungsumsatz. Im Falle von Bild 5.30 c werden im Widerstand R_1 etwa 180 mW verbraucht. Der mittlere Leistungsverbrauch eines Gatters beträgt dagegen nur 11 mW. Eine in dieser Hinsicht bessere Lösung besteht darin, den Abschlußwiderstand über eine Kapazität anzuschließen. Dann vermeidet man zwar in Impulspausen den Ruhestrom, aber im dynamischen Betrieb ist nahezu die gleiche Leistung notwendig.

Literatur

Doyle, O.: Busbar blocks high-frequency noise,
Electronics, August 9, 1968.

Kruger, A.: Line driving with IC's,
Microelectronics, July 1968.

Murray, D.E.: High speed integrated circuits,
Microelectronics, November 1968.

Rhoades, W.T.: Logic IC's don't live alone,
Electronics, March 6, 1967.

Tizzard, P.J., and Turner, M.J.: Analysis of TTL operation and design,
Microelectronics, January 1968.

Walker, R.M., and Aldrich, R.A.: Standard IC's for digital data communication,
The Electronic Engineer, March 1968.

Schaltungssammlung

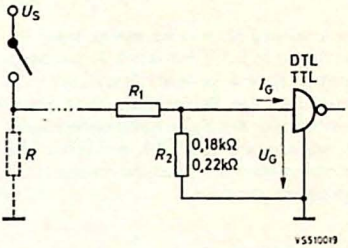
Die im folgenden aufgeführten Beispiele sind der VALVO-Schaltungssammlung entnommen:

1. Eingangsschaltungen zur Spannungsanpassung für die DTL-FC- und TTL-FJ-Reihe
2. Eingangsschaltungen zur Störunterdrückung
3. Eingangsschaltung mit FCL 101
4. Schaltung mit induktivem Näherungsschalter VSO
5. Schwellenwertschalter mit TAA 293
6. Lichtschranken mit der Schaltung TAA 293
7. Lichtschranken mit der Schaltung FCL 101
8. Temperatur-Regelschaltung mit dem Schwellenwertschalter FCL 101
9. Temperatur-Regelschaltung 100 bis 300 °C
10. Impulsformerschaltung
11. Treiber- und Empfangsschaltung mit Hysterese für die DTL-FC-Reihe
12. Ausgangsstufen für die DTL-FC-Reihe
13. Verriegelungsschaltungen
14. Überwachungsschaltungen
15. Kontrollschaltung bei Doppelübertragung
16. Start-Stop-Schalter für Impulsserien
17. Erzeugung von Impulsen aus Potentialwechseln
18. Schaltung gegen Prellstörungen
19. Monoflop aus zwei DTL-Gattern zur Unterdrückung von Prellstörungen
20. Monostabile Schaltung mit Gattern der DTL-FC-Reihe zur Verzögerung der L→0-Flanke
21. Monostabile Schaltung mit Gattern der DTL-FC-Reihe zur Impulsverlängerung
22. Multivibratoren mit Gattern der DTL-FC-Reihe
23. Spannungs-Frequenz-Wandler mit Gattern der DTL-FC-Reihe
24. Spannungs-Frequenz-Wandler mit der Schaltung FCK 101
25. Quarzoszillator für 100 kHz

Eingangsschaltungen zur Spannungsanpassung für die DTL-FC- und TTL-FJ-Reihe

1. Spannungsteiler

R_2 ist durch die Eingangswerte im LOW-Zustand $U_{GL} \leq 0{,}4$ V und $-I_{GL\,max}$ des betreffenden Gatters bei geöffnetem Schalter nach oben begrenzt. Bei geschlossenem Schalter muß die Forderung $3{,}9\ \text{V} \leq U_{GH} \leq 8$ V bei DTL bzw. $2{,}4\ \text{V} \leq U_{GH} \leq 5{,}5$ V bei TTL erfüllt sein. Hierdurch ist R_1 festgelegt.

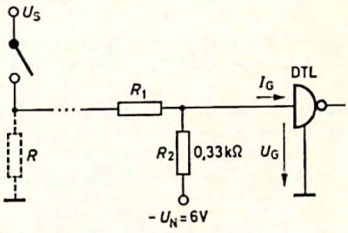


2. Spannungsteiler mit negativer Vorspannung bei DTL

Um auch den Störspannungsabstand im LOW-Zustand M_L zu vergrößern, wird R_2 an $-U_N = 6$ V gelegt. Dadurch wird im LOW-Zustand die Substratdiode leitend. Der Grenzwert $-I_G = 20$ mA darf dabei nicht überschritten werden. Hierbei ist $-U_G = 1{,}5$ V ($\geq 0{,}6$ V), und es gilt

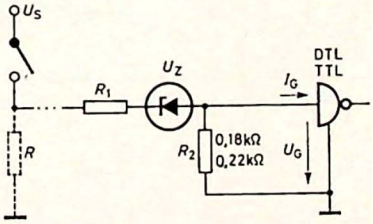
$$M_L \geq 0{,}8\ \text{V} - (-0{,}6\ \text{V}) = 1{,}4\ \text{V},$$

d. h., M_L wird um die Durchlaßspannung der Substratdiode erhöht. Die Werte für R_1 sind mit $-U_N = 6$ V für den maximalen Störspannungsabstand M_H in der Tabelle angegeben.



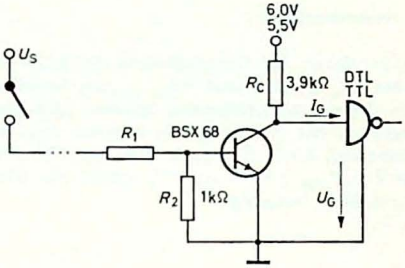
3. Spannungsteiler mit Z-Diode

Der Störspannungsabstand M_L kann stark erhöht werden, wenn man einen Spannungsteiler mit einer Z-Diode verwendet. Am Eingang des Gatters kann sich erst dann HIGH-Zustand einstellen, wenn die Spannung U_S größer als die Durchbruchspannung der Z-Diode wird. Unter Berücksichtigung dieser Durchbruchspannung ist R_1 in der Tabelle angegeben.



4. Spannungsteiler mit Transistor

Diese Schaltung ist bei allen Spannungen U_S für einen Strom $I_1 \leq 1{,}7$ mA durch R_1 ausgelegt. Im Gegensatz zu den anderen Beispielen wird das Signal durch die Eingangsschaltung invertiert. Zur Erhöhung des Störspannungsabstandes M_L kann wieder eine Z-Diode verwendet werden. Dadurch werden die Widerstandswerte für R_1 entsprechend geringer.



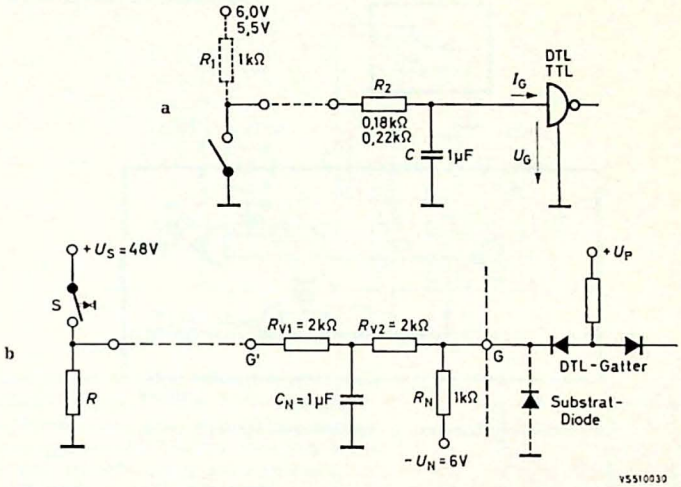
In allen Schaltungen:
Widerstände mit ± 10 % Toleranz
Spannungen mit ± 5 % Toleranz
(Belastbarkeit bei hohen Spannungen beachten)

Obere Werte für DTL
Untere Werte für TTL

Tabelle: Widerstandswerte R_1 bei verschiedenen Spannungen U_S für maximalen Störspannungsabstand im HIGH-Zustand M_H (I_{GH} ist vernachlässigt)

Beispiel	Gatter	U_S/V	9	12	24	48	60
1	DTL	R_1/kΩ	0,047	0,15	0,56	1,2	1,8
	TTL	R_1/kΩ	0,22	0,47	1,0	2,2	3,3
2	DTL	R_1/kΩ	0,047	0,15	0,56	1,5	1,8
3	DTL [1])	R_1/kΩ	0	0	0,27	0,68	1,0
	TTL [1])	R_1/kΩ	0,12	0,18	0,56	1,2	1,8
4	DTL/TTL	R_1/kΩ	4,7	6,8	15	27	33
	DTL/TTL [1])	R_1/kΩ	2,7	2,7	8,2	12	18
[1]) mit Z-Diode		BZY 88/C	3V3	5V6	9V1		
		BZX 61/C				22	24

Unterdrückung höherer Störfrequenzen



a) RC-Tiefpaß
b) Siebschaltung mit zusätzlicher Amplitudendiskrimination

Unterscheiden sich Nutz- und Störsignal in der Frequenz, so können sie durch ein Filter getrennt werden. Bei niederfrequenten Nutzsignalen können Störungen mit höherer Frequenz durch einen *RC*-Tiefpaß nach (a) unterdrückt werden.

Damit am Gattereingang beim Strom $-I_{GL\,max}$ die Spannung $U_{GL} \leq 0{,}4$ V bleibt, müssen folgende Widerstände eingehalten werden

DTL: $R_2 \leq 0{,}18$ kΩ

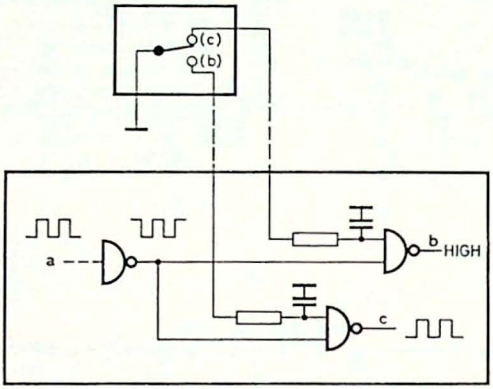
TTL: $R_2 \leq 0{,}22$ kΩ .

Bei $C = 1$ µF ergibt sich mit $R_2 \approx 200$ Ω eine Zeitkonstante von etwa 200 µs und eine untere Grenzfrequenz von 5 kHz, bis zu der Störungen noch unterdrückt werden. Bei niedrigeren Grenzfrequenzen der Störung und höheren Signalspannungen kann man kombinierte Schaltungen wie in (b) verwenden (siehe auch Schaltung Nr. 1, Beispiel 2).

Weitere Erläuterungen

Technische Informationen für die Industrie Nr. 140, Mai 1970

Schalten einer Signalleitung



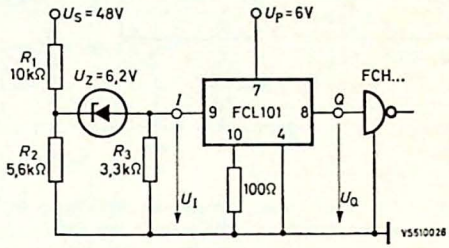
Umschalten einer Signalleitung a zwischen zwei Leitungen b und c

Wenn in einem Gerät eine signalführende Leitung von außen geschaltet werden muß, fangen die herausgeführten Leitungsstücke besonders leicht Störungen ein. Man verwendet deshalb eine Schaltung, bei der die Signalleitung nicht herausgeführt ist.

Die herausgeführten Ansteuerleitungen der Gatter können zur Störunterdrückung durch *RC*-Glieder abgeblockt werden, ohne daß das Frequenzband des Signals dadurch beeinträchtigt wird.

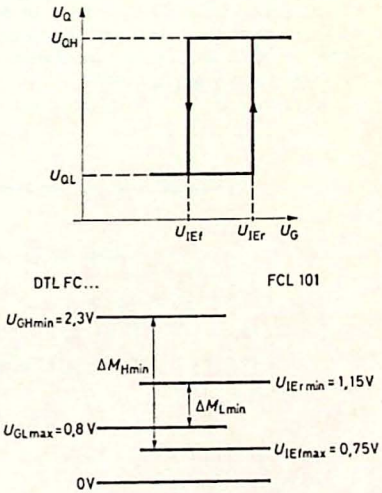
Im dargestellten Beispiel wird die Leitung a auf die Leitung c geschaltet, indem der zweite Eingang von b geerdet wird; dann liegt b auf HIGH-Potential.

Schaltung zur Spannungsanpassung und Störunterdrückung



Schaltung mit Spannungsteiler und Z-Diode mit Werten für ein Beispiel

Der Schwellenwertschalter FCL 101 arbeitet nach dem Schmitt-Trigger-Prinzip. In dem Diagramm sind die Grenzen des LOW- und HIGH-Bereiches der Eingangsspannung U_G des normalen DTL-Gatters und des FCL 101 gegenübergestellt. Bei Verwendung der Schaltung FCL 101 ergibt sich eine Vergrößerung der Störspannungsabstände um ΔM_H und ΔM_L. Der kleinere Wert ΔM_L wird durch die Z-Diode und den Widerstand R_2 zusätzlich vergrößert, während R_1 zur Spannungsanpassung dient.



Übertragungskennlinie des FCL 101 und Zunahme der statischen Störspannungsabstände gegenüber einem Standard-DTL-Gatter

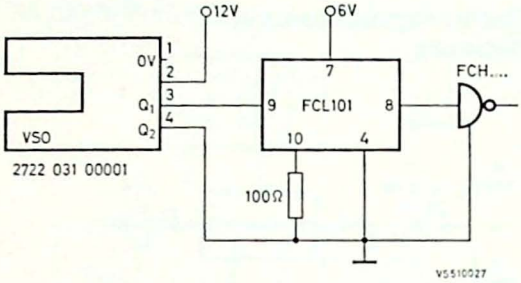
Bei der Berechnung von R_1 und R_2 geht man davon aus, daß der Schwellenwertschalter FCL 101 etwa bei der halben Spannung U_S umschalten soll. Mit $U_D \approx 1$ V und $R_3 = 3{,}3$ kΩ muß man je nach Anwendungsfall zwei der drei Werte R_1, R_2 und U_Z vorgeben. Den dritten Wert berechnet man nach

$$\frac{U_S}{2} = \left(1 + \frac{R_1}{R_2}\right) U_Z + \left(1 + \frac{R_1}{R_2} + \frac{R_1}{R_3}\right) U_D$$

Da der Grenzwert der Eingangsspannung U_I am FCL 101 nicht überschritten werden darf, muß außerdem folgende Bedingung erfüllt sein (I_I vernachlässigt)

$$\frac{U_S}{1 + \frac{R_1}{R_2} + \frac{R_1}{R_3}} - \frac{\left(1 + \frac{R_1}{R_2}\right) U_Z}{1 + \frac{R_1}{R_2} + \frac{R_1}{R_3}} \leq U_{I\,grenz} = 8\ \text{V}.$$

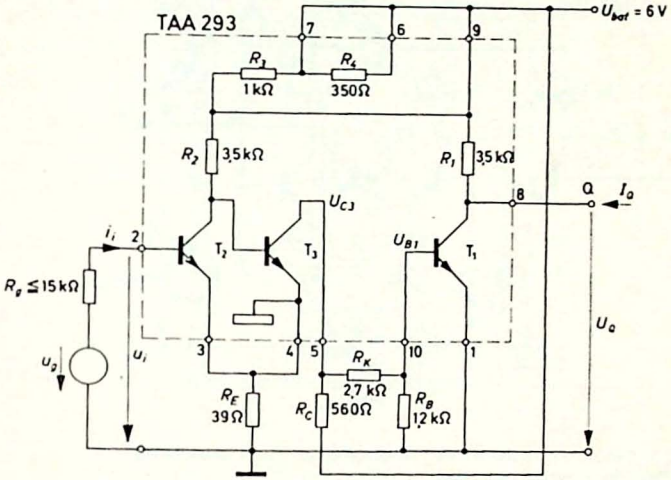
4 Schaltung mit induktivem Näherungsschalter VSO

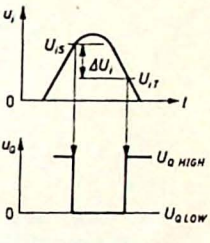


Der induktive Näherungsschalter VSO (vane switched oszillator) besteht aus einem Oszillator mit veränderbarer induktiver Kopplung und einer Gleichrichterschaltung, die aus einer getrennten, fest angekoppelten Wicklung gespeist wird. Durch Eintauchen einer Metallfahne in den Luftspalt zwischen Oszillator- und Rückkopplungswicklung wird die Kopplung verändert, so daß die Oszillatorschwingung abreißt.

Durch die Schaltung FCL 101 wird das Ausgangssignal des Näherungsschalters VSO an die Eingänge der FC-Schaltungen angepaßt. Der Schalter hat angesprochen, wenn die dem HIGH-Zustand entsprechende Gleichspannung $U_{Q1\,Q2}$ verschwindet und LOW-Potential entsteht.

Spannungsdiskriminator





Die Transistoren T_2 und T_3 arbeiten als Schmitt-Trigger. Der Inverter mit dem Transistor T_1 stellt an seinem Ausgang Q im LOW-Zustand ein für das Anschließen von Gattern der DTL-FC-Reihe genügend niedriges Ausgangspotential zur Verfügung.

Auch wenn die Eingangsspannung sich beliebig langsam ändert, erfolgt am Ausgang Q der Wechsel zwischen den beiden Potential-Zuständen aufgrund des Eigenkippvorgangs des Schmitt-Triggers sprunghaft. Durch die Hysterese $\Delta U_i = U_{iS} - U_{iT}$ wird bei langsamem Ansteigen der Eingangsspannung ein unerwünschtes Triggern der Schaltung durch Störimpulse vermieden.

Verfügbare Ausgangsverzweigung (fan out) für das Anschließen von Gattereingängen der DTL-FC-Reihe $N = 2$,
bei einem Störabstand $M = 0{,}45$ V.

Weitere Erläuterungen

Technische Informationen für die Industrie Nr.127, Oktober 1968

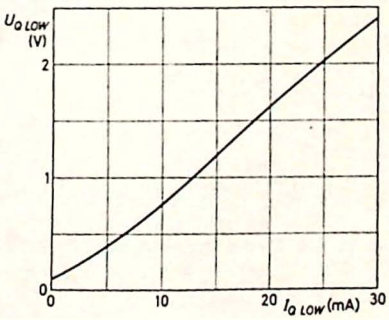
Meßwerte (an einer Schaltung)

Schwellenwerte

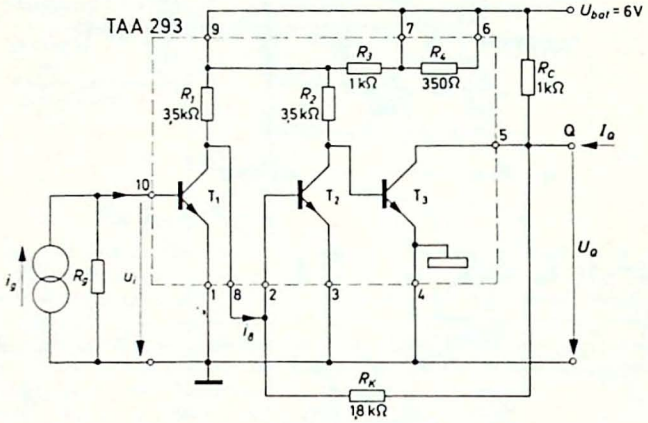
0 °C: $U_{iS} = 1{,}30$ V, $U_{iT} = 0{,}85$ V

25 °C: $U_{iS} = 1{,}25$ V, $U_{iT} = 0{,}80$ V

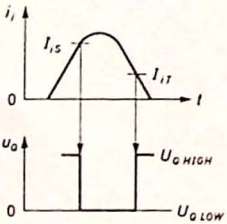
75 °C: $U_{iS} = 1{,}15$ V, $U_{iT} = 0{,}75$ V



Stromdiskriminator



Beim Über- bzw. Unterschreiten bestimmter Schwellenwerte des Stromes i_s wird über den Widerstand R_K vorübergehend eine Mitkopplung wirksam. Dadurch erfolgt ein sprunghafter Wechsel zwischen den beiden Schaltzuständen des eigentlichen Stromdiskriminators T_2, T_3. Dieses Eigenkippverhalten erfordert, daß die am Punkt 2 angeschlossene Quelle einen Widerstand >100 Ω hat. Diese Forderung ist hier durch den Widerstand R_1 der Eingangsstufe T_1 erfüllt. Das Verhältnis der Widerstände R_K/R_C ist im Hinblick auf das Anschließen von Schaltungen der DTL-FC-Reihe so festgelegt, daß $U_{Q\,HIGH} \geq 2{,}3$ V ist.



Meßwerte (an einer Schaltung)

ϑ °C	$I_{Q\,LOW}$ mA	$U_{Q\,LOW}$ V	I_{iS} µA	I_{iT} µA
0	4 [1])	0,38	28	9,5
	25	1,4	30	14
25	3,8 [1])	0,4	25,5	8,5
	25	1,4	27	12
75	3,6 [1])	0,5	18	6
	25	1,8	22	10

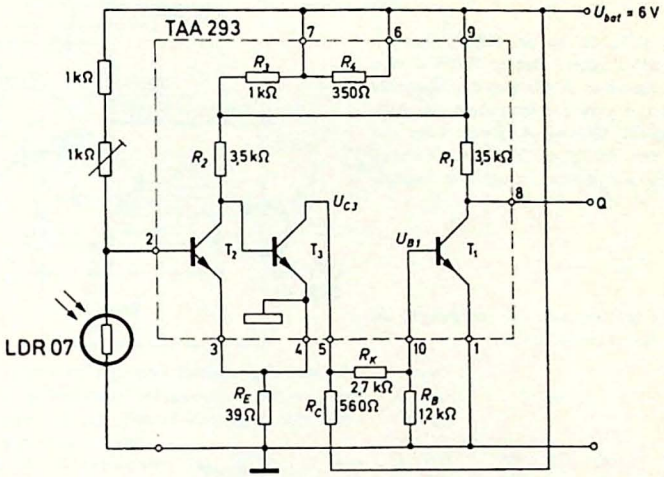
[1]) Mit diesem Wert wird beim Anschließen der Gatter der DTL-FC-Reihe eine Ausgangsverzweigung (fan out) von 2 erreicht.

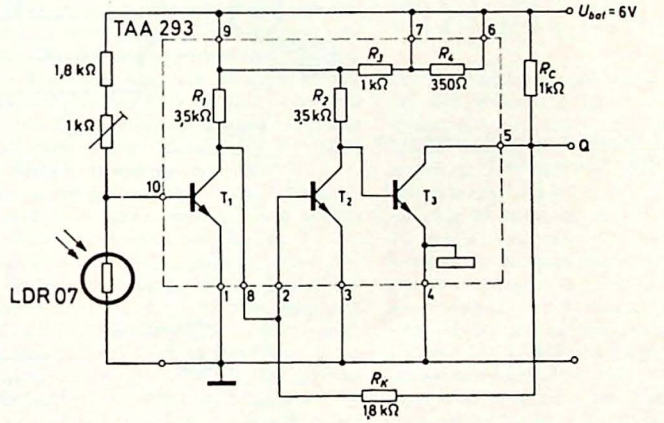
I_{iS} und I_{iT} hängen stark von der Stromverstärkung des Eingangstransistors in der Schaltung TAA 293 ab.

Weitere Erläuterungen

Technische Informationen für die Industrie Nr.127, Oktober 1968

Lichtschranken mit der Schaltung TAA 293





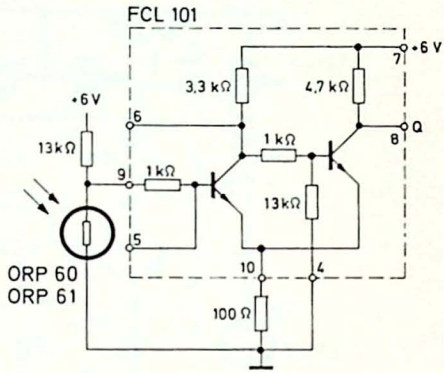
Die Schaltung TAA 293 wird hier als Schwellenwertschalter betrieben (siehe Schaltungsvorschläge vom 13. 3. 1970). Mit dem 1 kΩ-Einstellwiderstand werden die Streuungen des Fotowiderstandes und der Schwellenspannungswerte am Anschluß 2 bzw. 10 abgeglichen.

Für beide Schaltungen gilt

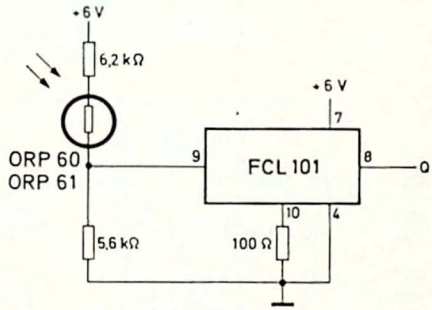
Beleuchtungsstärke	> 1000 lx	< 300 lx
Ausgang Q im Zustand	HIGH	LOW (≈ 0 V)

Lichtschranken mit der Schaltung FCL 101

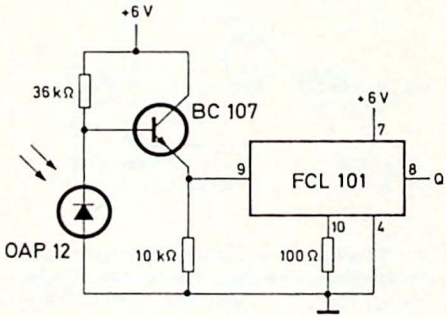
Die Schaltung FCL 101 ist ein Schwellenwertschalter (Schmitt-Trigger) der DTL-FC-Reihe. Bei beliebig langsamer Änderung der Beleuchtungsstärke ändert sich die Spannung am Ausgang Q sprunghaft. Nähere Angaben über die Belastbarkeit der Schaltung FCL 101 befinden sich im VALVO-Handbuch „Integrierte Digital-Schaltungen".



Bei Beleuchtung befindet sich der Ausgang Q im Zustand LOW (Schwelle ca. 250 lx)

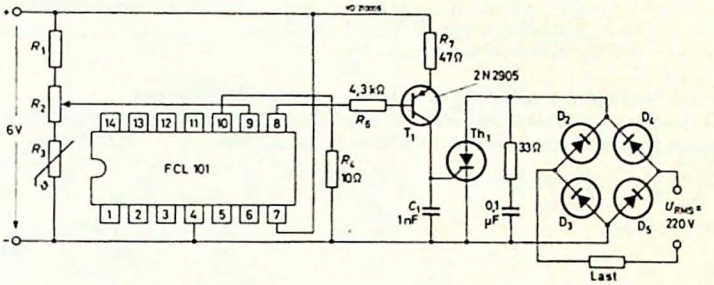


Bei Beleuchtung befindet sich der Ausgang Q im Zustand HIGH (Schwelle ca. 100 lx)



Bei Beleuchtung befindet sich der Ausgang Q im Zustand LOW (Schwelle ca. 1600 lx)

Temperatur-Regelschaltung mit dem Schwellenwertschalter FCL 101



Es wird eine sehr einfache Schaltung behandelt, bei der die selbsttätige Temperaturregelung eines Verbrauchers durch Ein-/Ausschalten des Verbraucherstromes erfolgt.

Der aus den Widerständen R_1, R_2 und R_3 bestehende Spannungsteiler liegt an einer Spannungsquelle von 6 V. Als Istwertaufnehmer dient der PTC-Widerstand R_3 (2322 660 90007). Am Potentiometer R_2 wird die Sollwerteinstellung vorgenommen. Die am Schleifkontakt von R_2 abgenommene Spannung liegt am Eingang (9) des Schwellenwertschalters FCL 101. Mit $R_4 = 10\ \Omega$ betragen die Schwellenspannungen (typische Werte) bei ansteigender Spannung $U_r = 0{,}85$ V und bei fallender Spannung $U_f = 0{,}84$ V.

Wird also beispielsweise der „kalte" Verbraucher eingeschaltet, dann hat R_3 einen relativ kleinen Widerstandswert, und die an R_2 abgegriffene Spannung liegt merklich unter dem Schwellenwert. Am Ausgang (8) des Schwellenwertschalters tritt hierbei eine Spannung auf, die 0,4 V oder weniger beträgt. Dieses niedrige Potential bewirkt, daß der Zündtransistor T_1 im Sättigungsbereich arbeitet. Der Kollektorstrom von T_1 fließt über den Steueranschluß des Thyristors Th_1 und zündet diesen zu Beginn jeder Halbwelle. Der Verbraucher erhält damit praktisch die volle Betriebswechselspannung und wird aufgeheizt.

max. Ausgs.-leistg.	D_2 bis D_5	Th_1
1,5 kW	BYX 38 — 600	BTY 79 — 600 R
2,9 kW	BYX 48 — 600	BTY 87 — 600 R
3,8 kW	BYX 42 — 600	BTY 91 — 600 R
4,8 kW	BYX 25 — 600	BTX 81 — 600 R
6,3 kW	BYX 25 — 600	BTX 82 — 600 R

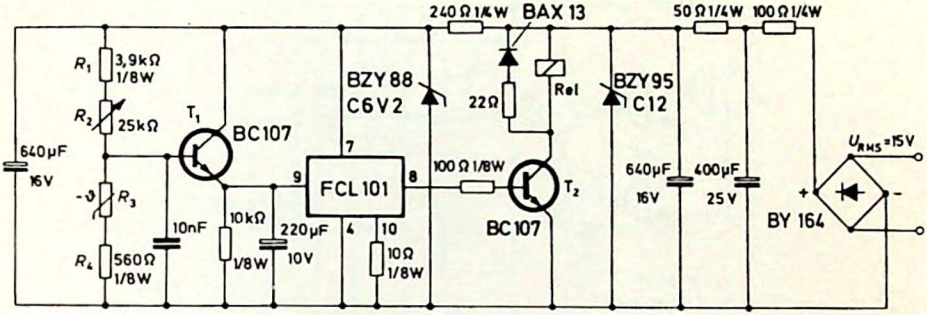
Mit ansteigender Temperatur erwärmt sich auch der PTC-Widerstand R_3, wodurch sich dessen Widerstand und damit auch die Spannung am Abgriff von R_2 erhöht. Sobald die Schwellenspannung $U_r = 0{,}85$ V erreicht ist, schaltet der Schwellenwertschalter, und die Spannung am Ausgang (8) steigt auf nahezu 6 V an, wodurch T_1 gesperrt und damit Th_1 gelöscht wird. Der Verbraucher ist nunmehr vom Versorgungsnetz getrennt, und seine Temperatur beginnt abzusinken. Damit erniedrigt sich auch der Widerstandswert von R_3 und die Spannung am Schleifkontakt von R_2. Erreicht die Eingangsspannung des Schwellenwertschalters den Wert $U_f = 0{,}84$ V, dann schaltet dieser in den Ausgangszustand zurück, und es beginnt die nächste Aufheizperiode. Die Temperatur des Verbrauchers pendelt um den eingestellten Sollwert. Eine allgemeingültige Angabe über die mit dieser Schaltung erzielbare

Regelgenauigkeit läßt sich nicht machen, da diese wesentlich von den thermischen Eigenschaften des Verbrauchers bestimmt wird. In einem Anwendungsfall wurde ein Trockenschrank mit einer Temperatur von 50 °C betrieben. Es traten Temperaturschwankungen bis ± 1,2 °C auf.

Der in der vorliegenden Schaltung verwendete PTC-Widerstand R_3 läßt eine maximale Betriebstemperatur des Verbrauchers von etwa 125 °C zu. Die Größe von R_2 richtet sich nach dem zu überstreichenden Temperaturbereich. Der Gesamtwiderstand von $R_1 + R_2$ sollte nicht unter 1000 Ω liegen, um die Selbstaufheizung von R_3 gering zu halten.

Weitere Erläuterungen

Technische Informationen für die Industrie Nr. 138, Januar 1970



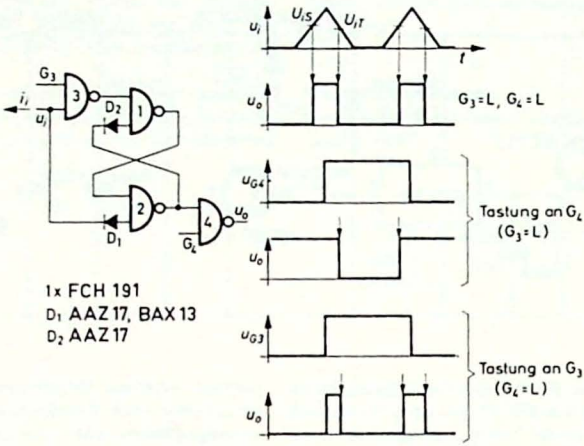
Die Schaltung ist für Temperaturregelungen im Bereich von 100 bis 300 °C geeignet. Es handelt sich um eine einfache Zweipunktregelung. R_2 ist ein in Temperaturen geeichter Drehwiderstand, an dem die Solltemperatur eingestellt wird. Der NTC-Widerstand R_3 (2322 627 31104) dient als Istwertaufnehmer.

Beim Einschalten des kalten Verbrauchers besitzt R_3 einen hohen Widerstand, wodurch die Basisspannung von T_1 stark positiv ist. Der als Emitterfolger arbeitende Transistor T_1 schaltet daher den Schwellenwertschalter FCL 101, so daß an dessen Ausgang (8) eine hohe positive Spannung liegt. Diese wiederum bewirkt, daß der Treibertransistor T_2 in das Sättigungsgebiet gesteuert wird und das Relais seinen vollen Strom erhält. Über den geschlossenen Relaiskontakt wird das Heizelement im Verbrauche direkt oder unter Zwischenschaltung eines elektromagnetischen oder elektronischen Schalters (z. B. Schaltung v. 1. 12. 69) eingeschaltet. Der Verbraucher wird nun aufgeheizt. Beim Erreichen der Solltemperatur ist der Widerstandswert von R_3 und damit die Basisspannung von T_1 soweit gesunken, daß der Schwellenwertschalter ausschaltet, worauf T_2 gesperrt, das Relais stromlos und das Heizelement abgeschaltet wird. Nach Abkühlung des Verbrauchers unter den Sollwert setzt die nächste Heizperiode ein.

Weitere Erläuterungen

Technische Informationen für die Industrie Nr. 135, November 1969

10 Impulsformerschaltung



Zum Umwandeln systemfremder Signale in Digital-Signale mit ausreichender Amplitude und genügend kleiner Schaltzeit kann der hier angegebene Impulsformer aus vier NAND-Gattern (ein Gehäuse) verwendet werden. Ein Speicherflipflop (Gatter 1 und 2) wird beim Überschreiten der Eingangs-Spannungsschwelle U_{iS} durch 0-Signal am Eingang von Gatter 1 gekippt und beim Unterschreiten der Schwelle U_{iT} durch 0-Signal am Eingang von Gatter 2 wieder in die Ausgangslage gebracht. Durch Verwenden verschiedener Dioden D_1 kann man die Hysterese

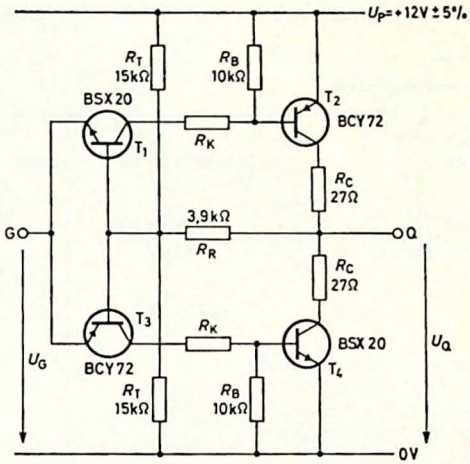
$$\Delta U_i = U_{iS} - U_{iT}$$

variieren. Die Diode D_2 sorgt dafür, daß der Eigenkippvorgang des Speicherflipflop beim Unterschreiten der Eingangsschwelle U_{iT} möglichst früh einsetzt. Dadurch ergibt sich eine steile L→0-Flanke der Ausgangsspannung u_o. Werden die Eingänge G_3 und G_4 nicht zur Tastung benutzt (siehe Impulsdiagramm), so können sie auch mit dem zweiten Eingang des betreffenden Gatters verbunden werden.

Betriebswerte:

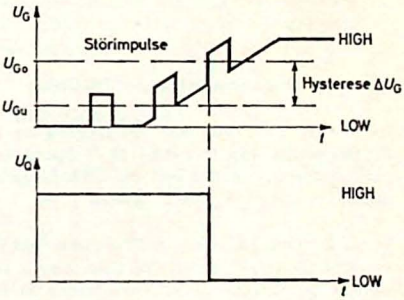
Obere Schwellenspannung am Eingang	U_{iS}	$\leq 2{,}3$ V
Untere Schwellenspannung am Eingang	U_{iT}	$\geq 0{,}4$ V (AAZ 17)
		$\geq 0{,}15$ V (BAX 13)
Hysterese	ΔU_i	$\geq 0{,}2$ V (AAZ 17)
		$\geq 0{,}6$ V (BAX 13)
Erforderlicher Eingangsstrom bei U_{iT}	I_i	$\geq 4{,}0$ mA
Schaltfrequenz	f_{max}	$\leq 2{,}0$ MHz

Treiber- und Empfangsschaltung mit Hysterese für die DTL-FC-Reihe



Die symmetrische Inverterschaltung hat zwei Schaltschwellen. Die Ausgangsspannung wird über R_R auf die Basisanschlüsse von T_1 und T_3 rückgekoppelt.

Entsprechend dem Widerstandsverhältnis von R_R zu $R_T/2$ wird die Schwellenspannung U_{Go} (T_1 und T_2 sperren) in positiver und U_{Gu} (T_3 und T_4 sperren) in negativer Richtung verschoben. Die Hysterese erhöht die statische Störsicherheit am Eingang der Schaltung. Außerdem wird bei einer langsamen Änderung der Eingangsspannung und Überlagerung von Störimpulsen der Ausgang nur einmal geschaltet, wenn die Störimpulse kleiner sind als die Hysterese. Weitere Vorteile sind der relativ große Spannungshub von nahezu 12 V sowie die für beide Zustände gleich niedrigen Ausgangswiderstände von etwa 30 Ω.



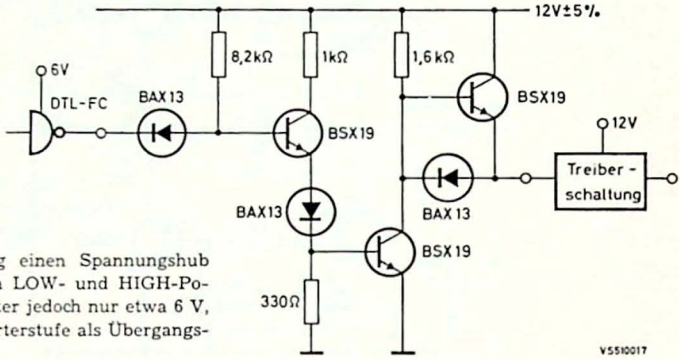
Einfluß der Hysterese auf die Störsicherheit

Tabelle: Daten für die Treiber- und Empfangsschaltung

		Treiberschaltung	Empfangsschaltung
Widerstand	R_K	1,6 kΩ	8,2 kΩ
Schaltschwelle	U_{Gu}	≦ 2,4 V	≦ 2,2 V
	U_{Go}	≧ 9,0 V	≧ 9,2 V
Eingangsstrom	$\pm I_G$	≦ 9,4 mA	≦ 4,6 mA
Ausgangsspannungen bei Laststrom	U_{QL}	≦ 0,95 V	≦ 0,35 V
	$\pm I_Q$	≦ 20 mA	≦ 3 mA
	U_{QH}	≧ 10,35 V	≧ 10,95 V
	$\pm I_Q$	≦ 20 mA	≦ 3 mA
Hysterese	ΔU_G	≧ 4,8 V	≧ 5,8 V

Übergangsschaltungen zur Treiber- und Empfangsschaltung

Übergang: DTL-Gatter — Treiberschaltung



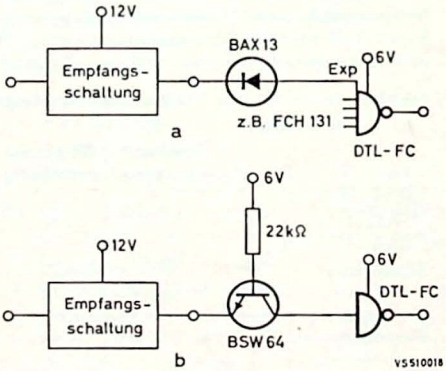
Anpassungsstufe zur Ansteuerung des Treibers durch ein DTL-Gatter

Da die Treiberschaltung einen Spannungshub von etwa 12 V zwischen LOW- und HIGH-Potential hat, ein DTL-Gatter jedoch nur etwa 6 V, verwendet man die Inverterstufe als Übergangsschaltung.

Übergang: Empfangsschaltung — DTL-Gatter

In diesem Fall muß das Ausgangssignal der Empfangsschaltung mit etwa 12 V Spannungshub umgesetzt werden auf ein DTL-Eingangssignal von etwa 6 V Spannungshub.

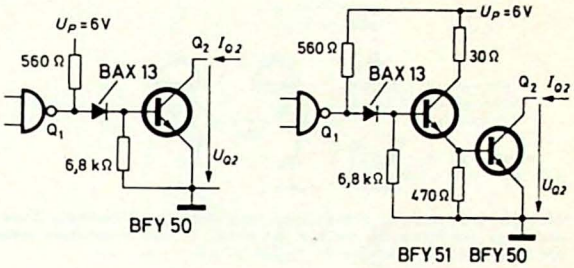
In der Schaltung a wird ein DTL-Gatter mit Expandereingang gebraucht. Die Schaltung b verwendet den Transistor BSW 64, dessen Kollektor-Emitter-Restspannung so niedrig ist, daß auch bei LOW-Potential der Störspannungsabstand $M_{L\,min}$ am Gattereingang nahezu eingehalten wird.



Anpassung der Empfangsschaltung
a) an ein DTL-Gatter mit Expandereingang
b) an ein normales DTL-Gatter

Weitere Erläuterungen

Technische Informationen für die Industrie, „Übertragung von Zählimpulsen mit hoher Störsicherheit", April 1969



a b

Die hier angegebenen Ausgangsstufen können an DTL-Gatter der FC-Reihe angeschlossen werden. Solche Stufen lassen sich z. B. zum Betreiben von Signallampen oder Relais verwenden.

Zum Ansteuern dieser Stufen und anderer Schaltungen, die nicht zur integrierten DTL-Reihe gehören, sollen stets separate Gatter vorgesehen werden, das heißt die Signale an den Ausgängen Q_1 sollten nicht für weitere Logikoperationen herangezogen werden.

Belastbarkeit

Schaltung nach Bild a

Q_1	0-Signal	L-Signal
U_{Q2}	max. 35 V	0,2 V
I_{Q2}	5 µA	max. 100 mA

Schaltung nach Bild b

Q_1	0-Signal	L-Signal
U_{Q2}	max. 35 V	1,0 V
I_{Q2}	5 µA	max. 1 A

13 Verriegelungsschaltungen

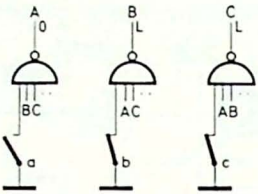


Bild 1. Verriegelungsschaltung für Ruhekontakte mit eigener Speicherwirkung (Drucktasten mit Rasterung). Anschlüsse mit gleichen Buchstaben werden miteinander verbunden. Bei drei Kontakten z. B. realisierbar mit 1 x FCH 171.

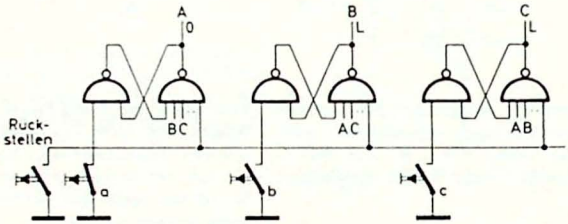


Bild 2. Verriegelungsschaltung für Arbeitskontakte ohne eigene Speicherwirkung (Druckknöpfe). Anschlüsse mit gleichen Buchstaben werden miteinander verbunden. Bei drei Kontakten z. B. realisierbar mit $^3/_4$ x FCH 191, $1^1/_2$ x FCH 131.

Häufig soll von mehreren Schaltern, die kurz hintereinander geschlossen oder geöffnet werden, nur der zuerst betätigte wirksam werden. Er muß daher die Wirkung aller übrigen Schalter blockieren oder verriegeln.

Bild 1 zeigt eine hierfür geeignete Schaltung, wenn Ruhekontakte mit mechanischer Speicherwirkung (Drucktasten mit Rasterung) verwendet werden.

Wenn zum Beispiel Kontakt a als erster öffnet, geht Ausgang A auf 0-Potential und sperrt damit alle übrigen NAND-Gatter. Ihre Ausgänge bleiben beim anschließenden Öffnen der Kontakte b, c usw. unverändert auf L-Potential. Es handelt sich um eine multistabile Schaltung, die bei nur zwei Schaltern in ein Speicherflipflop übergeht. Ihr Ruhezustand ist A = B = C . . . = L.

Haben die Kontakte keine eigene Speicherwirkung (zum Beispiel Druckknöpfe), dann muß für jeden Kontakt ein Speicherflipflop nach Bild 2 vorgesehen werden. Die Kontakte a, b, c usw. sind hier Arbeitskontakte. Wird zum Beispiel Kontakt a zuerst betätigt, dann wird Flipflop A gesetzt, und alle übrigen Ausgänge werden durch das Signal A = 0 in ihrer Ruhestellung B = C = . . . = L festgehalten. Ein nachträgliches Schließen der Schalter b, c usw. ändert daran nichts und bewirkt lediglich, daß bei dem betreffenden Flipflop für die Dauer der Kontaktgabe an beiden NAND-Gatter-Ausgängen L-Potential herrscht.

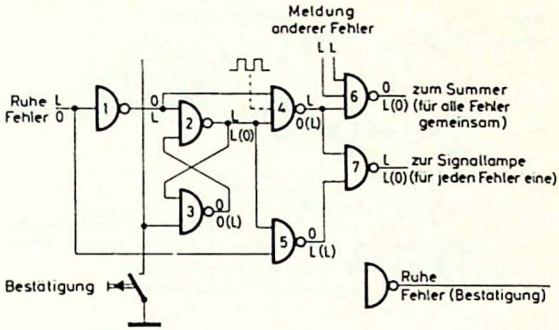


Bild 1. Überwachungsschaltung: Die Ansteuerschaltungen für Summer und Signallampe sind so auszulegen, daß der Summer bei L-Signal am Ausgang von Gatter 6 ertönt und die Lampe bei 0-Signal am Ausgang von Gatter 7 leuchtet; realisierbar (ohne Gatter 6) z. B. mit 1 x FCH 191, ⅔ x FCH 171

Die in Bild 1 gezeigte Schaltung meldet Fehler in Betriebsüberwachungsanlagen. Der Fehler wird durch 0-Potential angezeigt, damit liegt L-Potential an beiden Eingängen von Gatter 4 und L-Potential am Ausgang von Gatter 6, wodurch ein akustisches Signal (Summer) ausgelöst wird. Durch Drücken der Bestätigungstaste wird ein Speicherflipflop (Gatter 2 und 3) gekippt, der Summer stillgesetzt und eine Signallampe zum Leuchten gebracht. Für jede Fehlerquelle ist eine solche Schaltung (bis auf das Gatter 6) mit einer Signallampe vorgesehen, so daß man den Fehler sofort an der betreffenden Lampe erkennen kann. Der Summer wird dagegen für alle Fehler gemeinsam verwendet. Wird die Bestätigungstaste gedrückt, ohne daß ein Fehler vorliegt, so erscheint für die Dauer der Kontaktgabe an den Ausgängen der Gatter 2 und 3 gleichzeitig L-Potential, ohne daß weitere Folgen eintreten. Es kann daher für alle Fehlermelder eine gemeinsame Bestätigungstaste verwendet werden. Nach Beseitigung des Fehlers (Ruhesignal L) kippt das Speicherflipflop in seinen Ausgangszustand zurück, und die Lampe erlischt.

Führt man dem Gatter 4 an einem zusätzlichen Eingang eine Rechteckspannung sehr niedriger Frequenz zu, dann ertönt der Summer im selben Takt, und die Lampe blinkt bereits vor dem Drücken der Bestätigungstaste entsprechend. Danach leuchtet sie dauernd, bis der Fehler beseitigt ist.

Ein Nachteil dieser Schaltung ist, daß sie bei kurzzeitig auftretenden Fehlern (Wackelkontakt) bereits wieder in ihren Ruhezustand zurückkehrt, bevor man die Bestätigungstaste drücken und somit den Fehler lokalisieren kann. Das wird bei der in Bild 2 gezeigten Anlage vermieden.

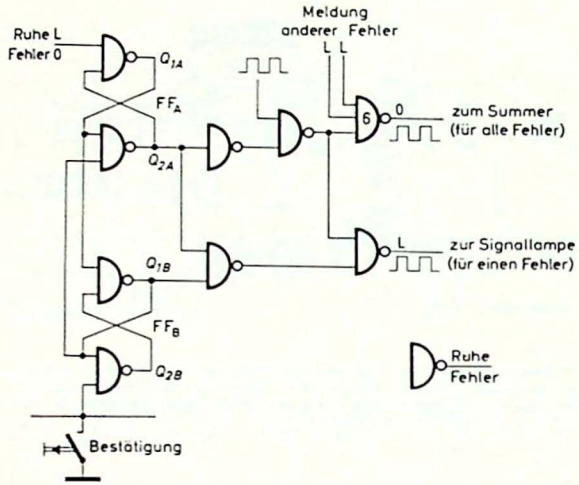


Bild 2. Überwachungsschaltung mit Speicherung des Fehlersignals; realisierbar (ohne Gatter 6) z. B. mit 2 x FCH 191

In dieser Schaltung wird beim Auftreten eines Fehlers (0-Potential) ein zusätzliches Speicherflipflop FF_A gesetzt und damit das Fehlersignal gespeichert, auch wenn es nach kurzer Zeit wieder verschwindet.

Der weitere Wirkungsablauf geht aus der Tabelle hervor. Summer und Signallampe werden wie beim Beispiel von Bild 1 betätigt. Allerdings ist hier die Rechteckspannung für das Erkennen eines vorübergehenden Fehlers unerläßlich, weil bei einem solchen Fehler nach Drücken der Bestätigungstaste kein Lampensignal mehr gegeben wird, so daß derartige Fehler nur am Blinken der Lampe vor dem Drücken der Bestätigungstaste erkennbar sind.

Flipflopzustände:

	FF_A		FF_B	
	Q_{1A}	Q_{2A}	Q_{1B}	Q_{2B}
Ruhe	0	L	L	0
während und nach einem Fehlersignal	L	0	L	0
während und nach Drücken der Bestätigung, Fehler vorhanden	L	L	0	L
beim Drücken der Bestätigung, kein Fehler	0	L	L	L
nach Drücken der Bestätigung, kein Fehler (= Ruhe)	0	L	L	0

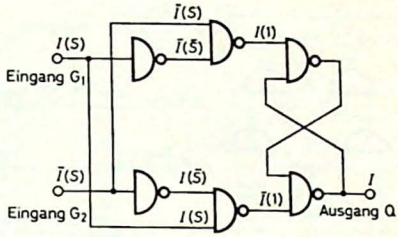


Bild 1. Kontrollschaltung (ungestörter Zustand ohne Klammern, gestörter Zustand mit Klammern)

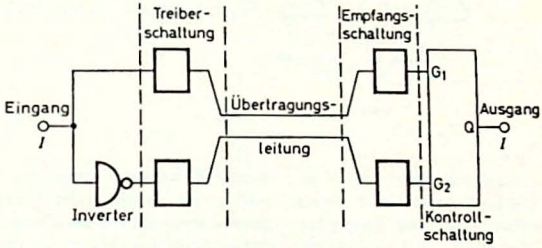


Bild 2. Prinzipschaltbild einer Impulsübertragungseinrichtung

Steht ein Digitalsignal I gleichzeitig auch in invertierter Form $\bar{I}$ zur Verfügung, so können mit der Schaltung nach Bild 1 Störsignale erkannt und korrigiert werden, wenn sie folgende Voraussetzungen erfüllen:

> Sie müssen beide Eingänge G_1 und G_2 der Schaltung auf gleiches Potential setzen.
>
> Sie müssen kürzer sein als Wechsel 0 — 1 — 0 bzw. 1 — 0 — 1 des Nutzsignals I.

Im ungestörten Fall gelten die in Bild 1 skizzierten nicht eingeklammerten Signalbezeichnungen. Der Ausgang Q folgt jedem Signalwechsel.

Im gestörten Fall haben dagegen beide Eingänge das gleiche Potential (Störsignal S), so daß die eingeklammerten Bezeichnungen gelten. Das NAND-Basis-Flipflop am Ausgang der Kontrollschaltung behält jedoch seinen vorherigen Zustand bei, wenn an seine Eingänge die Kombination 1—1 angelegt wird. Dadurch wird die Störung nicht übertragen, die Information I am Ausgang Q bleibt erhalten.

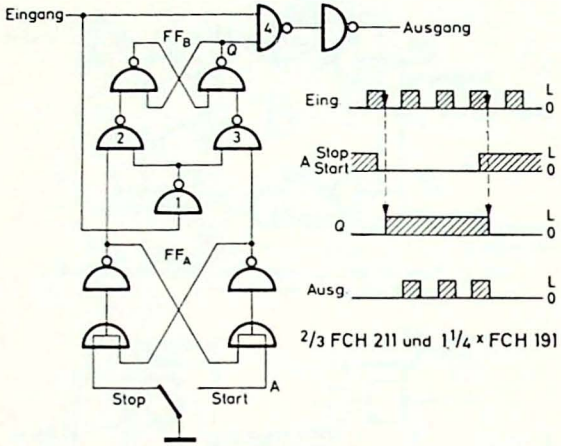
Die in Bild 2 skizzierte Anordnung stellt eine Anwendung der Kontrollschaltung dar. Die symmetrische Übertragungsleitung soll verdrillt und abgeschirmt sein.

Die Treiber- und Empfangsschaltungen (siehe Schaltung Nr. 11) haben eine ausreichende Hysterese, um die von der Kontrollschaltung nicht erfaßten kleineren Störungen auszuschalten.

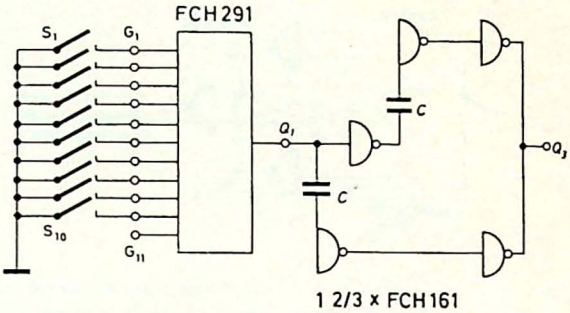
Weitere Erläuterungen

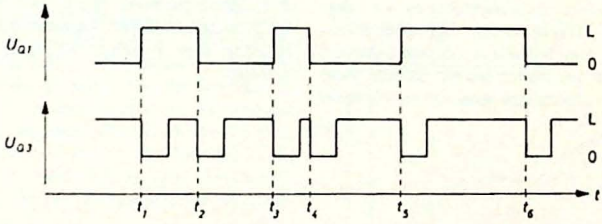
Technische Informationen für die Industrie, „Übertragung von Zählimpulsen mit hoher Störsicherheit", April 1969

16 Start-Stop-Schalter für Impulsserien



Die hier angegebene Schaltung dient zum Ausblenden einer Serie von Impulsen aus einem Pulssignal. Dabei werden erster und letzter Impuls der Serie durch das Start- und Stop-Signal nicht beeinflußt, sie haben also die gleiche Dauer wie die Originalimpulse. Durch das Start- oder Stop-Signal (0-Potential) wird zunächst das Flipflop FF_A gesetzt. Die dadurch gegebene Information kann jedoch vom Flipflop FF_B nur übernommen werden, wenn die Übernahmegatter 2 und 3 vom Ausgang des Inverters 1 durch L-Potential freigegeben sind, wenn also das Eingangssignal 0 ist. Das Signal Q, von dem das Gatter 4 für den Durchgang von Impulsen gesperrt wird oder nicht, kann sich daher nur während der Impulspausen, frühestens mit der Rückflanke (L→0-Flanke) der Eingangsimpulse ändern, so daß am Ausgang stets vollständige Impulse ankommen.



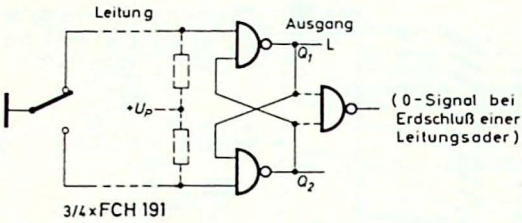


Impulsdiagramm

Jede Potentialänderung (0 → L oder L → 0) an einem der Eingänge 1 bis 10 der DTL 10-Bit-Paritäts-Kontrollschaltung FCH 291 (mit L-Signal am Auftasteingang G_{11}) erzeugt einen 0-Impuls am Ausgang Q_3 der angegebenen Schaltung.

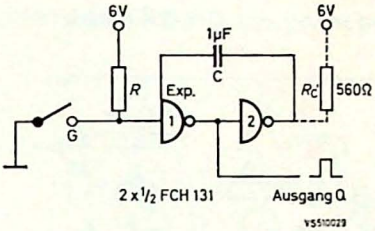
Beispielsweise erzeugt vielfacher Wechsel der Schalterstellungen eine Impulsfolge, mit der die Gesamtzahl der Schaltspiele gezählt werden kann. Voraussetzung dafür ist, daß nicht zwei Umschaltungen gleichzeitig stattfinden, weil dann die Kontrollschaltung FCH 291 nicht anspricht, und daß die Zeitkonstante aus dem Kondensator C und einem Gatterwiderstand (ca. 4 kΩ) so groß ist, daß Kontaktprellungen nicht einzeln registriert werden.

18 Schaltung gegen Prellstörungen



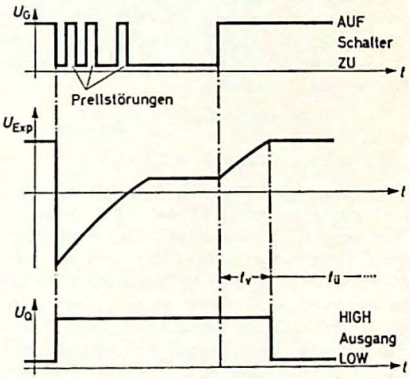
Beim Übergang von mechanisch arbeitenden Schaltern auf elektronische Digitalschaltungen können durch das Prellen der Kontakte Fehlinformationen entstehen. Das läßt sich mit Hilfe der angegebenen Schaltung vermeiden. Die Kontaktgabe eines Relaiskontaktes vor dem ersten Prellen dauert einige Mikrosekunden. Das Speicherflipflop, bestehend aus zwei Gattern der DTL-FC-Reihe, rastet jedoch bereits nach zwei Gatterverzögerungszeiten (zum Beispiel $2\,t_{pd} = 2 \cdot 35\,\text{ns} = 70\,\text{ns}$) ein. An seinem Ausgang erscheint nur ein einziger $0 \rightarrow$ L-Sprung, auch wenn der Schalter beliebig oft prellt, vorausgesetzt, daß er nicht bis auf den gegenüberliegenden Kontakt zurückprellt. Ein Erdschluß der Leitungsadern kann mit einem weiteren NAND-Gatter unter Ausnutzung der Irregulärstellung des Flipflop ($Q_1 = Q_2 = \text{L}$) angezeigt werden.

Monoflop aus zwei DTL-Gattern zur Unterdrückung von Prellstörungen



Mit der vorliegenden Schaltung lassen sich Prellstörungen beim Schließen eines einfachen Schalters vermeiden. Die Spannung am Expandereingang U_{Exp} springt etwa nach der Zeit 2 $t_{pd} \approx$ 80 ns ins Negative. Während der anschließenden Entladung des Kondensators C über den internen Gatterwiderstand von Gatter 1 steigt U_{Exp} wieder an. Solange der Transistor von Gatter 1 durch U_{Exp} sicher gesperrt bleibt, wirkt sich das Öffnen und Schließen des Schalters (Prellen) nicht aus. Als Anhaltspunkt für die Berechnung kann man die Zeit vom negativen Sprung der Spannung U_{Exp} bis zum Erreichen der Diodendurchlaßspannung (etwa 0,6 V) benutzen. Bei $C = 1$ µF dauert diese Phase, also die Unempfindlichkeit der Schaltung gegenüber Kontaktprellungen, etwa 4 ms.

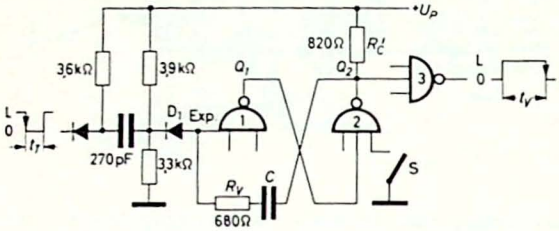
Nach Öffnen des Schalters steigt U_{Exp} mit derselben Zeitkonstante weiter an, so daß die Spannung erst nach einer Zeit $t_v \approx$ 1 bis 2 ms den Wert erreicht hat, bei dem Gatter 1 und um t_{pd} später auch Gatter 2 wieder umschalten. Anschließend vergeht noch eine Erholzeit $t_e \approx$ 15 ms, bis C über den Kollektorwiderstand von Gatter 2 aufgeladen, d. h. der Ausgangszustand wieder erreicht ist. Durch einen Widerstand $R_C' \geqq 560\ \Omega \pm 10\ \%$ kann man die Zeit t_e verkürzen.



Eingangs-, Ausgangssignal und Expanderspannung

Monostabile Schaltung mit Gattern der DTL-FC-Reihe zur Verzögerung der L→0-Flanke

Monoflop zur Verzögerung der L→0-Flanke



1x FCH 161
2x BAX 13 (BAY 30)

Mit dieser Schaltung läßt sich die L→0-Flanke eines digitalen Signals verzögern, die bei positiver Logik in der Regel als sogenannte aktive oder triggernde Flanke verwendet wird. Die L→0-Flanke am Eingang versetzt die NAND-Gatter 1 und 2 aus ihrem

Ruhezustand $Q_1 = 0, \quad Q_2 = \mathrm{L}$

in den

quasistabilen Zustand $Q_1 = \mathrm{L}, \quad Q_2 = 0.$

Das Potential am Expander-Anschluß von Gatter 1 springt um etwa 4 V auf −2 V. Anschließend wird der Kondensator C über den leitenden Transistor des Gatters 2 und den UND-Gatter-Widerstand des Gatters 1 umgeladen, bis das Expanderpotential wieder soweit positiv geworden ist, daß die Schaltung in ihren Ruhezustand zurückkehrt, womit am Ausgang eine um die Zeit t_V verzögerte L→0-Flanke erscheint. Mit dem Schalter läßt sich das Monoflop unabhängig vom Eingangssignal in der Ruhelage festhalten.

Die Diode D_1 verhindert einen Einfluß der 0→L-Flanke am Eingang auf das Ausgangssignal. Daher kann die Zeit t_T beliebig groß sein, auch größer als t_V. Der Widerstand R_C' verkürzt die Erholzeit des Monoflop. Das ist die Zeit, die zwischen der L→0-Flanke am Ausgang und der nächsten triggernden L→0-Flanke am Eingang mindestens vergehen muß. Sie ist dadurch gegeben, daß nach dem Sperren des Transistors in Gatter 2 der Kondensator C wieder aufgeladen werden muß und deshalb Q_2 erst im Verlauf dieser Ladezeit auf L-Potential ansteigen kann. Die hierfür maßgebende Zeitkonstante wird durch Einfügen von R_C' verkleinert. Der Widerstand R_V ist so bemessen, daß die Eingangsspannung von Gatter 3 bei Beendigung des quasistabilen Zustandes (Sperren des Transistors in Gatter 2) sofort auf den Wert $U_{GL\,min} = 2{,}3$ V springt, so daß eine steile L→0-Flanke am Ausgang entsteht.

Betriebswerte:

Verzögerungszeit (0,1 µs ... 100 ms)	$t_V \approx 3\,000\ C$ (t_V in µs, C in µF)
Erholzeit	$t_{rec} \leq 1{,}8\ t_V$
Temperaturgang von t_V (0 ... 75 °C)	$\frac{\Delta t_V}{t_V} = 1{,}6 \cdot 10^{-3}$/grd

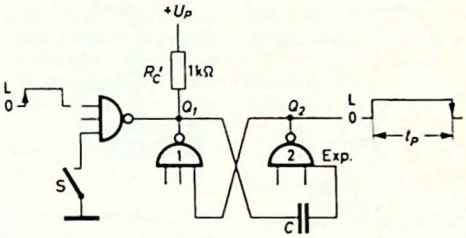
Forderungen an das Eingangssignal

L-Potential-Dauer vor L→0-Sprung	≥ 1,5 µs
L→0-Potentialsprung	≥ 3 V
Abfallzeit (90 bis 10 %)	≤ 100 ns
Amplitude des Eingangsstromes	≥ 10 mA

Typische Werte der zulässigen Störspannungen (positive oder negative Rechteckimpulse)

Nulleitung	≤ 1 V
Speiseleitung ($+U_p$)	≤ 1,2 V
Eingang	≤ 1,8 V (bei $t_f \geq 10$ ns)

Monoflop zur Impulsverlängerung



1 x FCH 161

Die hier angegebene Monoflop-Schaltung wird durch die 0→L-Flanke der Eingangsspannung getriggert und erzeugt am Ausgang einen positiven Impuls. Der Eingangsimpuls muß stets kürzer sein als die Dauer des quasistabilen Zustandes. Es gilt

Ruhezustand	$Q_1 = L,$	$Q_2 = 0$
quasistabiler Zustand	$Q_1 = 0,$	$Q_2 = L.$

Während des quasistabilen Zustandes wird der Kondensator C über den leitenden Transistor im Gatter 1 umgeladen, bis das Potential am Expanderanschluß von Gatter 2 soweit angestiegen ist, daß sein Transistor zu leiten beginnt. Da als Einschaltspannung jedoch zunächst (bis zum Einsetzen des Rückkopplungsvorganges) nur die exponentiell ansteigende Kondensatorspannung wirkt, nimmt die Abfallzeit der Ausgangs-L→0-Flanke mit steigenden C-Werten zu, und zwar gilt dafür näherungsweise die Zahlenwertgleichung

$$t_f \approx 100\ C\ (t_f \text{ in } \mu s,\ C \text{ in } \mu F).$$

Benötigt man steilere Flanken, so muß ein Inverter nachgeschaltet werden. Der Widerstand R_C' dient zur Verkürzung der Erholzeit. Mit dem Schalter S läßt sich das Monoflop in der Ruhelage festhalten.

Betriebswerte:

Impulszeit (0,1 µs ... 100 ms)	$t_P \approx 3\,300\ C$ (t_P in µs, C in µF)
Erholzeit	$t_{rec} \leq 0{,}95\ t_P$
Temperaturgang von t_P (0 ... 75 °C)	$\frac{\Delta t_P}{t_P} = 1{,}6 \cdot 10^{-3}$/grd

Typische Werte der zulässigen Störspannungen (positive oder negative Rechteckimpulse)

Nulleitung	≤ 1 V
Speiseleitung ($+U_P$)	≤ 1,2 V

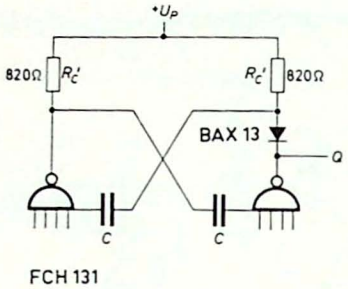


Bild 1. Multivibrator

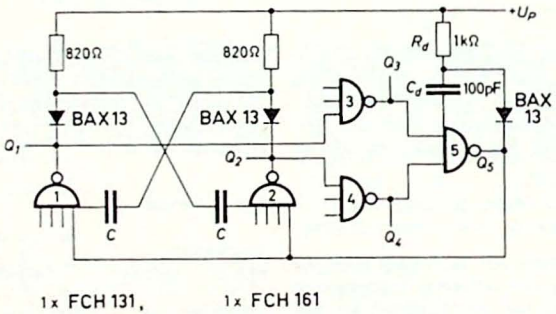


Bild 2. Multivibrator mit Anschwinghilfe

Die frequenzbestimmende Umladung der Kondensatoren in dem Multivibrator nach Bild 1 erfolgt durch einen Strom, der vom (hier nicht gezeichneten) Speisepunkt des Gatters mit dem jeweils gesperrten Transistor über dessen UND-Gatter-Widerstand, den Expanderanschluß, den Kondensator C und den leitenden Transistor des anderen Gatters nach Masse fließt. Der Kondensator wird umgeladen, bis das Expanderpotential soweit positiv geworden ist, daß der betreffende Transistor einschaltet. Sein Kollektorpotential springt auf etwa 0 V; damit wird über die Kondensatorkopplung der gegenüberliegende Transistor gesperrt, und die nächste Halbperiode beginnt.

Während der Sperrzeit des Transistors wird der an seinem Kollektor angeschlossene Kondensator C über den Widerstand R_C' hinreichend schnell umgeladen. Die Entkopplungsdiode BAX 13 trennt diesen Umladezweig (für das linke C) vom Ausgang Q ab, so daß eine steile 0→L-Flanke des Ausgangssignals erzielt wird. Durch die Diode dauert der Impuls (L-Potential) am Ausgang Q etwas länger als die Pause (0-Potential), der Tastgrad beträgt etwa 0,54. Die maximale Schwingfrequenz der Schaltung liegt über 5 MHz.

An den Eingängen der beiden Gatter kann der Multivibrator getastet werden. Bei Start-Stop-Betrieb ist stets ein selbständiges Anschwingen des Multivibrators gewährleistet. Bei Normalbetrieb jedoch kann es ungünstige Bedingungen geben (zum Beispiel ein sehr langsames Ansteigen der Speisespannung), die ein sicheres Anschwingen der Schaltung in Frage stellen. Beide Gatter nehmen dann 0-Potential an ihren Ausgängen ein, das heißt beide Transistoren sind leitend, und die Schaltung verharrt in diesem Zustand.

Mit Hilfe einer Zusatzschaltung nach Bild 2 wird ein selbständiges Anschwingen auch unter ungünstigen Bedingungen erreicht. Schwingt der Multivibrator zunächst nicht an ($Q_1 = Q_2 = 0$), so ist auch $Q_3 = 0$, und damit wird $Q_1 = Q_2 = L$. Danach erscheint auch am Punkt Q_3 wieder L-Potential, die Eingänge der Gatter 1 und 2 werden gesperrt, und der Einschaltvorgang des Multivibrators kann neu einsetzen.

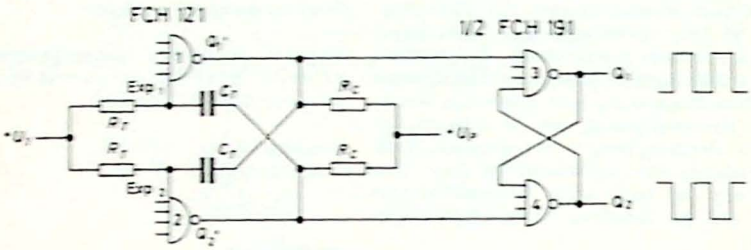
Da die Ausgänge Q_1 und Q_2 auch beim regulären Schwingen des Multivibrators im ungünstigsten Fall für eine Zeit $t_{rd} \leq 85$ ns gleichzeitig 0-Potential führen können, muß dafür gesorgt werden, daß die Anschwinghilfe innerhalb dieser Zeit noch nicht anspricht, damit die normale Funktion des Multivibrators nicht gestört wird. Hierzu dient das Glied C_d R_d am Expanderanschluß von Gatter 5, das den L→0-Sprung an seinem Ausgang genügend verzögert.

Folgende verfügbare Ausgangsverzweigungen gelten bei Bild 2 (für das Anschließen der Eingänge von DTL-FC-Gattern):

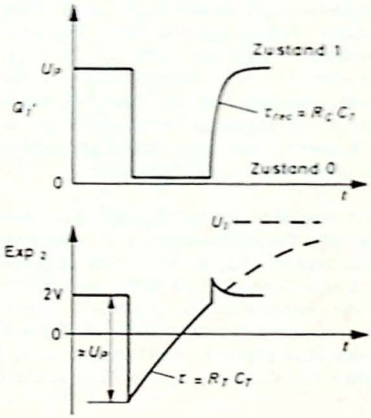
Ausgänge Q_1, Q_2 $N = 1$,
Ausgänge Q_3, Q_4 $N = 2$.

Betriebswerte:

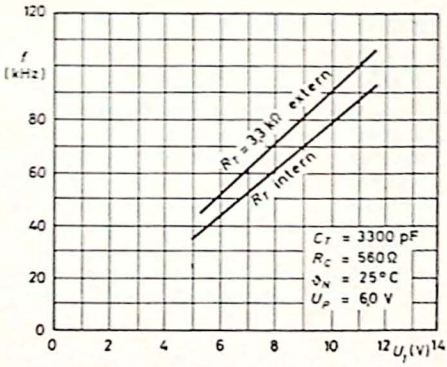
Frequenz (50 kHz bis 5 MHz)	f	$\approx \frac{145}{C}$ (f in MHz, C in pF)
Frequenzänderung mit der Temperatur (25 bis 75 °C) (Keramikkondensatoren mit $T_K = -750 \cdot 10^{-6}$/grd)		$\frac{\Delta f}{f_{25\,°C}} = -2{,}5\,\%$
Frequenzänderung mit der Speisespannung von $U_P = 6$ V auf $U_P = 5{,}7$ V		$\frac{\Delta f}{f} = -1{,}9\,\%$
von $U_P = 6$ V auf $U_P = 6{,}3$ V		$\frac{\Delta f}{f} = +1{,}2\,\%$
Verfügbare Ausgangsverzweigung am Ausgang Q (für Eingänge von DTL-FC-Gattern)	N	$= 2$



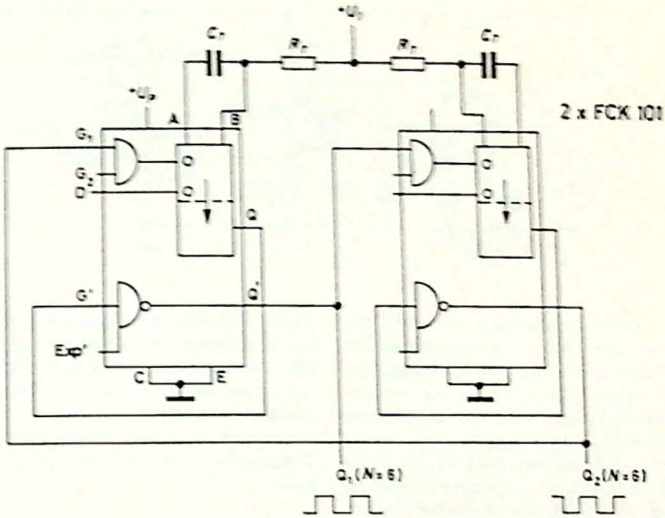
Die Schaltung besteht aus einem Multivibrator (Gatter 1, 2) und einem Speicher-Flipflop (Gatter 3, 4). Durch Verändern der Ladespannung U_I für das Zeitglied $R_T C_T$ läßt sich die Asymptote für den exponentiellen Spannungsverlauf am Eingang Exp_1 oder Exp_2 verschieben und damit die Frequenz ändern. Bei Verwendung der internen Gatterwiderstände anstelle der Widerstände R_T wird die Abhängigkeit der Frequenz von der Temperatur größer. Ersetzt man die Widerstände R_T durch Stromgeneratoren, z. B. durch zwei PNP-Transistoren mit eingeprägtem Emitterstrom, dann läßt sich die Linearität zwischen Frequenz und Steuerspannung U_I wesentlich verbessern.



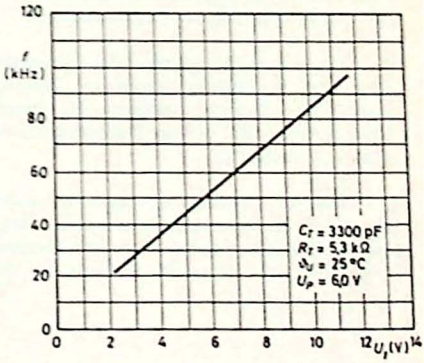
Mit den externen Kollektorwiderständen R_C, deren Wert bei gegebenem R_T wegen der Belastung der Gatter 1 und 2 (im Zustand $Q' = 0$) nach unten begrenzt ist, wird ein hinreichend schnelles Umladen der Kondensatoren C_T beim $0 \rightarrow 1$-Übergang der Signale Q' erzielt (Erholzeitkonstante $\tau_{rec} = R_C C_T$). Das Speicher-Flipflop (Gatter 3, 4) wird jeweils durch Erreichen des Zustandes $Q_1' = 0$ bzw. $Q_2' = 0$ gekippt. Es dient zur Verbesserung der Rechteck-Kurvenform und als Trennstufe zwischen Oszillator und Last.



Bei Verwendung externer zeitbestimmender Widerstände R_T bleibt die Speiseklemme P der Gatter 1 und 2 (Gehäuse-Anschluß 7) frei. Bei Verwendung der internen Gatterwiderstände (≈ 4 kΩ) entfallen die Widerstände R_T, und die Spannung U_I wird an die Speiseklemmen P gelegt.

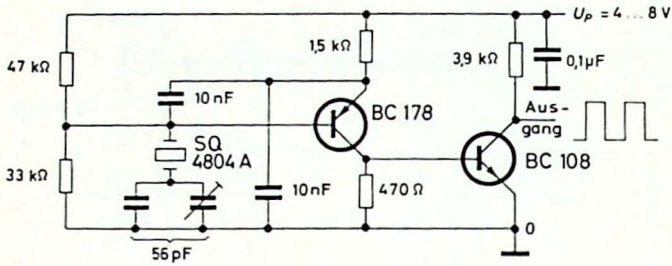


Die Schaltung FCK 101 enthält ein Monoflop und einen Inverter mit Expanderanschluß. Durch einen 1→0-Übergang am Eingang G_1, G_2 oder D wird das Monoflop in den quasistabilen Zustand $Q = 0$ versetzt. Die Verzögerungszeit bis zum Wiedereintreten des stabilen Zustandes $Q = 1$ kann man mit der Spannung U_I steuern. Man verschiebt dabei die Asymptote, die für den Spannungsverlauf am Punkt B gültig ist. Am Punkt B liegt die Basis des im quasistabilen Zustand gesperrten Transistors. Sobald seine Basis-Emitter-Einschaltspannung überschritten wird, kippt das Monoflop in seinen Ruhezustand $Q = 1$ zurück. Die dadurch erzeugte 1→0-Flanke am Ausgang Q' des nachgeschalteten Inverters schaltet das andere Monoflop in den quasistabilen Zustand.



Die Ausgänge Q_1 und Q_2 können mit je 6 Eingängen von Gattern der FC-Reihe belastet werden.

25 Quarzoszillator für 100 kHz



Bei dieser Oszillatorschaltung arbeitet der Quarz in der Nähe seiner Serienresonanzfrequenz. Verwendet wird ein 100 kHz-Eichquarz SQ 4804 A. Durch Übersteuerung der nachgeschalteten Verstärkerstufe (BC 108) entsteht am Ausgang eine Rechteckspannung. Beim Anschließen integrierter Schaltungen der DTL-FC-Reihe beträgt die verfügbare Ausgangsverzweigung $N = 8$ (maximale Anzahl anschließbarer Gattereingänge). Takteingänge des Einflanken-JK-Flipflop FCJ 101 erfordern das Einfügen eines Gatters zur Erhöhung der Flankensteilheit.

Die Temperaturabhängigkeit der Arbeitsfrequenz wird hauptsächlich durch den Temperaturgang des Quarzes bestimmt. Er beträgt $+20 \cdot 10^{-6}$ bis $-65 \cdot 10^{-6}$ im Temperaturbereich zwischen 0 und 60 °C.

Ohne besondere Maßnahmen kann die relative Abweichung der Arbeitsfrequenz von der Nennfrequenz des Quarzes etwa $100 \cdot 10^{-6}$ betragen. Durch eine „Zieh"-Kapazität in Serie mit dem Quarz läßt sich ein Abgleich auf die Nennfrequenz erzielen. Wo eine Frequenztoleranz von $100 \cdot 10^{-6}$ ausreicht, wählt man als Serienkondensator eine Festkapazität von 56 pF. Für einen genaueren Abgleich ist ein Trimmkondensator vorzusehen, dem eine Festkapazität mit kleinem Temperatur-Koeffizienten parallel geschaltet wird.

Der Abgleich erfolgt durch Vergleich mit einer Normalfrequenz. Ein einfaches Verfahren ist z. B. das Abgleichen auf Schwebungs-Null mit der Trägerfrequenz des Langwellensenders Droitwich (200 kHz, Toleranz 10^{-9}) mit Hilfe eines Rundfunkempfängers.

Bei $U_P = 6$ V sowie bei einer Belastung des Ausgangs mit 2 Gattereingängen der DTL-FC-Reihe und mit $C < 60$ pF gilt für die Flanken der Ausgangsspannung

Anstiegszeit $t_r < 1$ µs,
Abfallzeit $t_f < 150$ ns.